Aula 19

Conversão AD e DA – Técnicas

Introdução

As características mais importantes dos conversores AD e DA são o tempo de conversão, a taxa de conversão, que indicam quantas vezes o sinal analógico ou digital é quantificado ou reconstruido por segundo, e a resolução N. O tempo total necessário desde a obtenção do sinal analógico (ou digital) até a sua conversão final é chamado de tempo de conversão. Para a maioria dos conversores que não tenham nenhum atraso adicional, o tempo de conversão é essencialmente idêntico ao inverso da taxa de conversão. Entretanto, isto não é válido para os conversores tipo "pipelining", onde novas conversões são iniciadas antes da conversão precedente ser concluída.

Uma grande quantidade de técnicas tem sido desenvolvida para se conseguir alcançar cada vez mais altas resoluções e em conjunto com grandes taxas de amostragem, principalmente, na conversão AD. Apresentarem, a seguir, algum tipos de técnicas que achamos mais importante do ponto de vista de inserção no mercado.

O maior desafio para o projetista de circuitos integrado em desenvolver novas técnicas em encontra na conversão A/D. Assim, a maior parte das técnicas descritas aqui se encaixa nessa categoria de conversão.

Alguns tipos de conversores A/D

De um modo geral os conversores A/D podem ser divididos em alguns tipos técnicas, conforme as suas características fundamentais de conversão:

- Paralelo – flash
- Aproximações sucessivas
- Tipo Contador
- Integrador simples e dupla rampa
- Redistribuição de carga
- **Sigma-Delta**

Conversor A/D Paralelo ou “flash”

O conversor A/D paralelo é, também, conhecido como “flash”ou simultâneo. A figura A.19.1 mostra um exemplo de um conversor A/D paralelo de 3 bits, sendo que a voltagem de entrada analógica de entrada é comparada às voltagem fixas de referências para cada nível do códico digital, do início a te o fim da escala. Para uma resolução de N bits são necessários (2^N – 1) comparadores e igual quantidade de níveis de referência. A grande vantagem do conversor A/D paralelo é a grande rapidez na conversão, porque o sinal analógico de entrada é comparado diretamente e simultaneamente com cada nível de voltagem de referência em comparadores distintos.

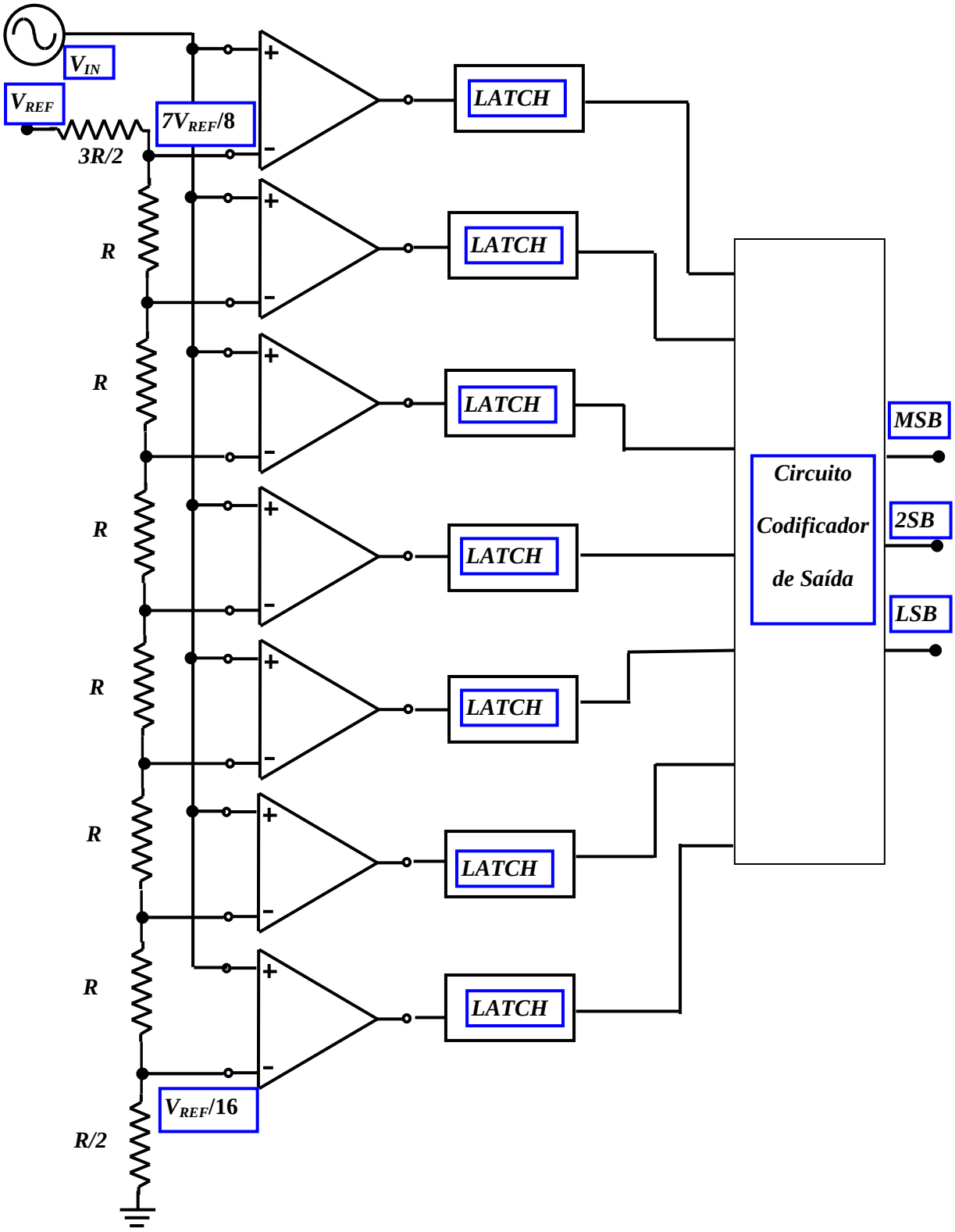


Figura A.19.1 Conversor A/D tipo Paralelo (“Flash”)

Os conversores tipo paralelo têm como circuito básico de entrada um pré-amplificador e um latch, que atuam juntos em uma configuração de circuito comparador. Na saída dos comparadores é necessária a colocação de um circuito de codificação que irá receber os sinais dos comparadores e codificar o sinal de saída em código binário (ou "GRAY"). A maioria das aplicações dos conversores A/D paralelo são no processamento de sinais de de alta freqüência, como sinais de vídeo, por exemplo, que necessitam de taxa de conversão da ordem de 5 a 50 MHz.

Como pode ser observado na figura A.19.1, são necessários (2^3 – 1) 7 comparadores com 7 níveis de referência (steps) de voltagem. Todas as entradas dos comparadores são conectadas entre si e recebem a voltagem analógica de entrada simultaneamente. Para um determinado valor de V_{in}, todos os comparadores cuja voltagem de referência estiver abaixo deste irão para o nível baixo e os demais comparadores cuja voltagem de referência estiver acima irão para o nível alto.

Nas saídas dos comparadores, teremos o chamado código termômetro. A tabela A.19.1 mostra este código para um conversor de 3 bits.

Teoricamente a conversão A/D pode ser realizada em apenas uma ciclo de clock, embora, na prática utilize-se normalmente 2 ciclos de clock, um para amostrar o sinal, comparar e reter o sinal e outro para completar a operação de codificação. Este tempo é chamado de latência.

Tabela A.19.1 Códigos

Nível	Código Termômetro	Código Binário
0	0000000	000
1	0000001	001
2	0000011	010
3	0000111	011
4	0001111	100
5	0011111	101
6	0111111	110
7	1111111	111

A grande dificuldade ou desvantagem dos conversores A/D paralelo é o aumento do número de comparadores de latch e complexidade do codificador à medida que se aumenta a resolução, isso ocasiona um enorme aumento na área de silício e consumo de potência, devido ao grande número de componentes.

Em um conversor de 10 bits (1023 comparadores e latchs) o consumo pode chegar a 3W, e uma capacitância de entrada da ordem de 300 pF.

O conversor A/D paralelo é o mais rápidos dentre todos os tipos de conversores e normalmente é construído utilizando-se a versão mais rápida de uma determinada tecnologia.

Existem algumas variações dessa técnica que procuram minimizar estes problemas com o mínimo de perdas no desempenho.

Conversor A/D Tipo Aproximação sucessiva

Esta técnica é muito utilizada nos conversor disponível comercialmente, principalmente que esta é a uma das que mais se aproxima da técnica tipo “flash” sem as desvantagens conhecidas.

A figura A.19.2 mostra um conversor A/D que utiliza a técnica de aproximação sucessiva. Como pode ser observado na figura este tipo de conversor utiliza uma técnica de realimentação para relacionar uma voltagem analógica de entrada com um código digital correspondente (conforme os N bits de resolução do conversor). No início do processo de conversão o “shift register”e o “holding register” são zerados. Na primeira etapa de conversão o MSB do “holding register” é colocado em nível alto (1 lógico) e os demais mantidos em nível baixo (0 lógico). É, então, realizada uma comparação entre o resultado de saída do conversor D/A (V_O) e o sinal de entrada (V_{IN}). Se $V_O < V_{IN}$, o nível “1” é mantido para o MSB, caso contrário é substituído por “0”. A etapa seguinte repete o mesmo processo para o 2-SB. Isso continua até que todos os N bits tenham sido verificados. A decisão de manter o nível lógico “1” ou substituir por “0” é realizada pelo comparador e pelo registrador de aproximação sucessiva. O controle lógico controla o início e o fim de cada etapa de aproximação e o resultado destas etapas são retidas no “holding register”. O sinal de saída é válido apenas quando todo o processo for concluído e isto é sinalizado pelo sinal de “status”do controle lógico.

Este conversor permite maiores resolução que o conversor paralelo e os seus pontos críticos são o comparador e o conversor D/A, e, além de um circuito “sample and hold”, S/H que deve ser colocado na entrada destes para manter a voltagem entrada amostrada constante em todo processo de conversão. O ciclo de conversão é de (N+2) ciclos de clock.

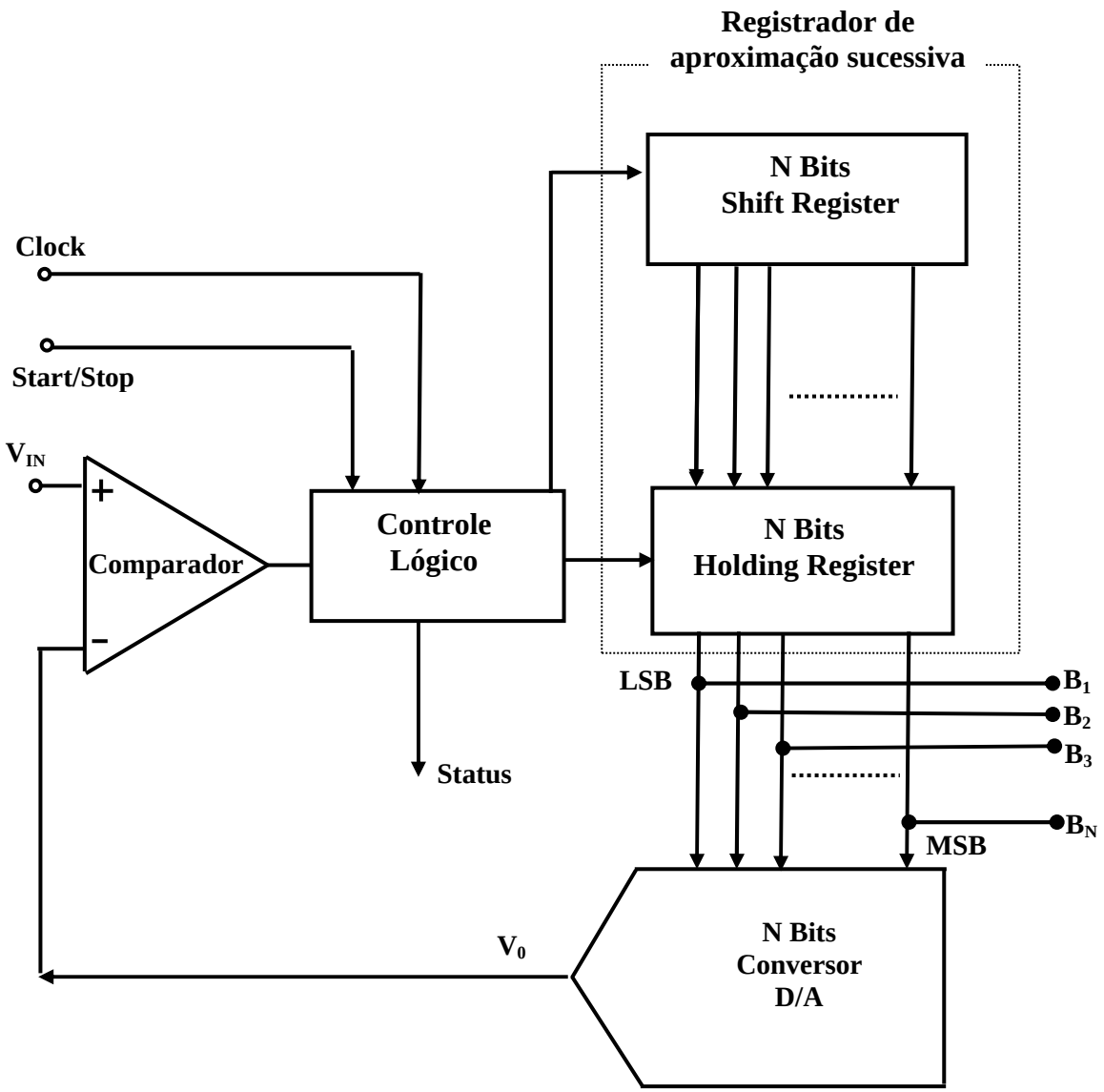


Figura A.19.2 Conversor A/D tipo Aproximação Sucessiva.

A figura A.19.3 mostra a seqüência de processo de um conversor A/D de 04 bits.

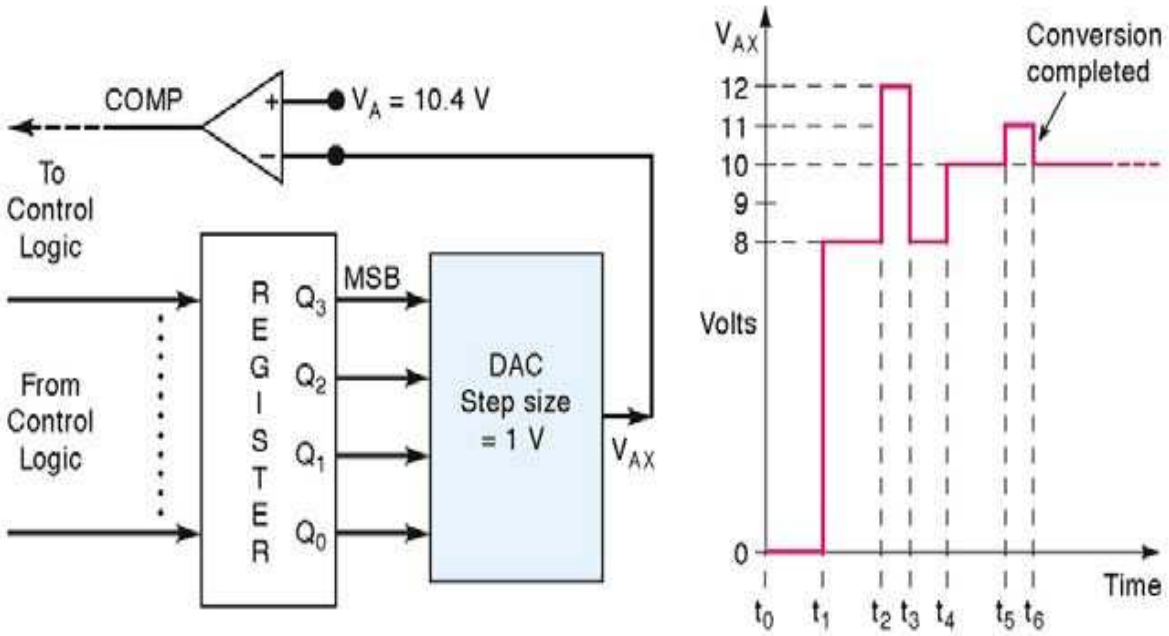


Figura A.19.3 Funcionamento de um conversor A/D tipo aproximação sucessiva de 04 bits.

Conversor A/D tipo Contador

Este tipo de conversor, também chamado de conversor “staircase”é bastante simples. A figura A,19.4 mostra na forma de diagrama de bloco a estrutura desse conversor. A saída de um contador binário de N bits (paralelos) alimenta um conversor D/A , cuja saída é incrementada e dirigida para a entrada de um comparador juntamente com o sinal analógico de entrada a ser digitalizado. Quando os dois sinais (saída do conversor D/A e sinal analógico de entrada) ficarem iguais, o sinal de saída do comparador pára os contadores binários, cujo valor nesse instante é colocado na saída do conversor A/D e corresponde ao valor

digital equivalente ao nível de voltagem do sinal analógico e novamente e ciclo se repete. Esse tipo de conversor é considerado lento porque a cada ciclo de conversão a contagem deve ser repetida até alcançar o valor digital equivalente ao sinal de entrada, o que pode demorar vários ciclos de clock.

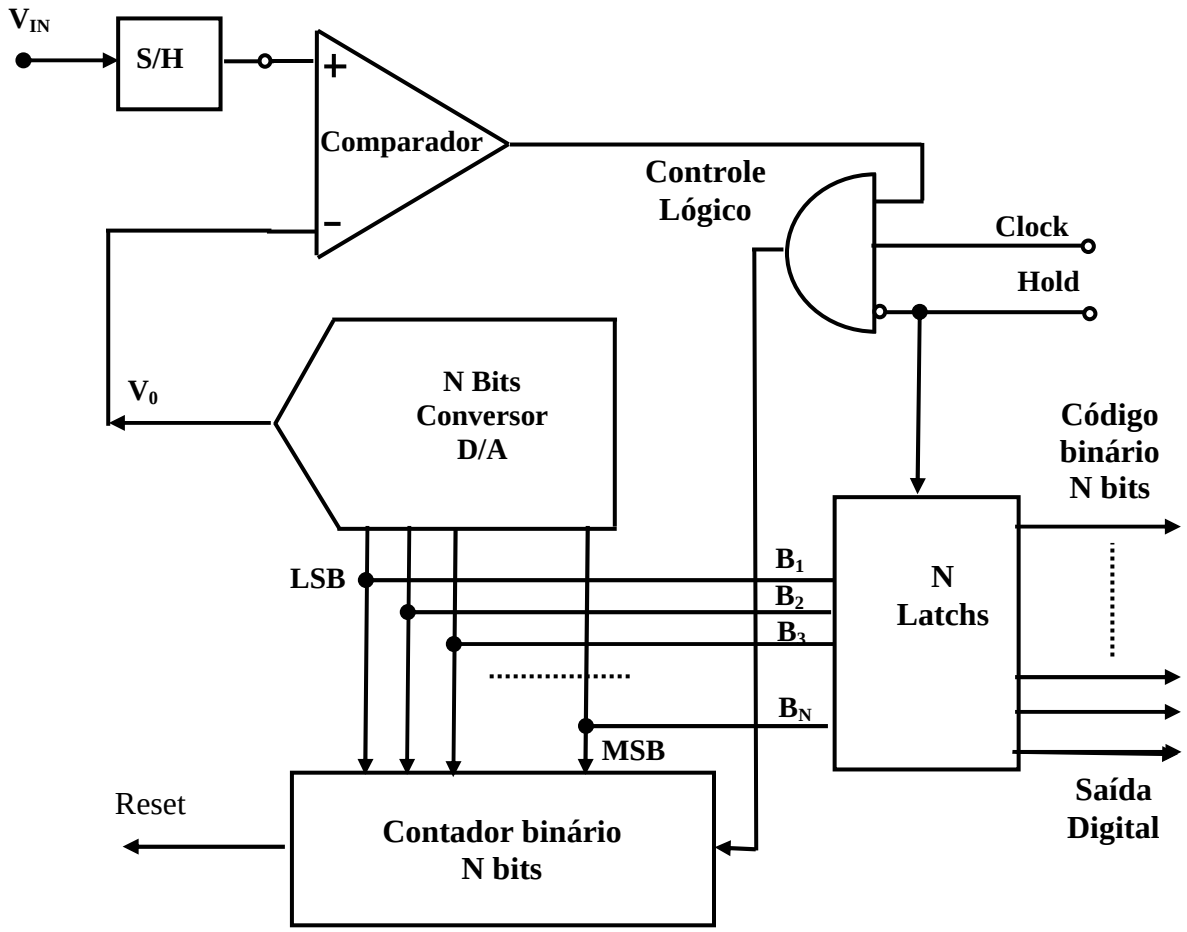


Figura A.19.4 Conversor A/D tipo contador

Uma variação deste tipo de conversor utiliza um contador tipo “up-down” nesse caso também chamado de conversor “tracking” ou conversor tipo servo. Isso diminui o tempo de conversão pela

possibilidade do contador alcançar mais rapidamente o valor digital final. Os ponto críticos de precisão desse tipo de conversor são o comparador e o conversor D/A. O sinal analógico deve ser mantido constante durante todo tempo de convenção e, portanto, deve ser colocado um circuito S/H (“sample and hold”) na entrada do conversor. É possível obter alta resolução neste tipo de conversor (até 16 bits). Este conversor é adequado para o uso em aplicações onde é necessária uma boa resolução e uma taxa de conversão moderada. Por exemplo, um conversor com resolução de 14 bits e taxa de amostragem de 100kHz.

É importante lembrar aqui que os valores para resolução e taxa de amostragem de um certo tipo de conversor, depende fortemente do estado da arte da tecnologia utilizado para implementar a técnica.

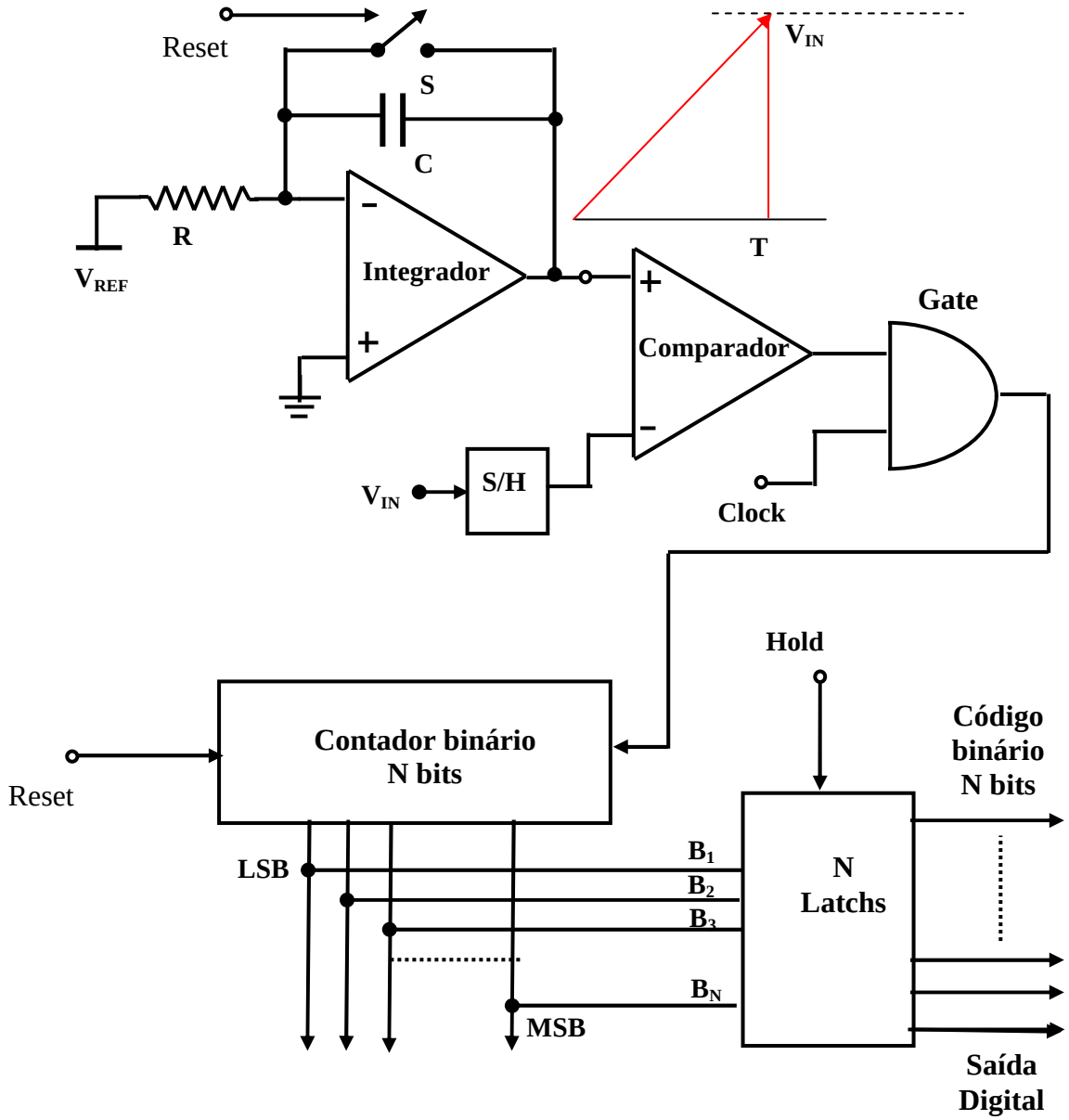
Conversor A/D tipo integrador

Esse tipo de conversor apresenta bastante variações em seu modo de implementação, contudo, o princípio básico é integrar a voltagem de entrada analógica ou uma referencia de voltagem ou, ainda, ambas e o resultado obtido é utilizado para controle do número de ciclos de clock na entrada de um contador binário para obter uma saída digital que represente a voltagem analógica de entrada. A figura A.19.5 mostra um diagrama em bloco simplificado desse tipo de conversão.

Dependendo do modo de operação, estes conversores são chamados de conversores indiretos ou por modulação de largura de pulso (PWM).

Normalmente esse tipos de conversores não são igualmente rápidos como os tipos que serão descritos a seguir, porém, permitem uma alta resolução a um baixo custo e possuem outra característica importante

que é a boa rejeição a interferências ou ruído. A conversão, de um modo geral, necessita de vários ciclos de clock.



A figura A.19.5 Conversor A/D tipo integrador(básico)

O funcionamento desse conversor é bastante simples. Inicialmente, o contador e o integrador são resetado, e a saída do comparador vai para um nível baixo, habilitando os pulsos de clock na entrada do contador. Após a liberação do pino de reset o integrador produz na sua saída uma

voltagem igual a

$$V_{int} = RCV_{REF}.t \qquad \text{(A.19.1)}$$

A tensão do integrador cresce linearmente com o tempo e o contador é incrementado.

Quando essa tensão se iguala à tensão de referência, V_{IN} o comparador muda para o nível baixo e a contador pára de contar e fornecendo para o latch de saída o sinal digitalizado.

A voltagem na de saída do integrador no instante T é igual a V_{IN}, portanto, da equação (A.19.1) temos

$$V_{int}\big|_{t=T} = RCV_{REF}.T = V_{IN}$$

$$T = 1/\,RC\,.V_{IN}\,/V_{REF} \qquad \text{(A.19.2)}$$

O número de pulso acumulado no contador é igual à saída digital, e é dado por

$$N_{pulso} = f_{clock}\,.T = 1/\,RC\,.V_{IN}\,/V_{REF} \qquad \text{(A.19.3)}$$

Ou seja, temos na saída digital um proporcional a voltagem analógica de entrada.

Este tipo de conversor apresenta como principais desvantagens, a dependência com a constante de tempo de integrador (RC) e o offset do

comparador.

Uma implementação ligeiramente diferente do conversor integrado de simples rampa e o conversor integrador com dupla rampa. Que procuram eliminar as desvantagens do conversor de simples rampa. A figura A.19.6 mostra um diagrama em bloco desse conversor.

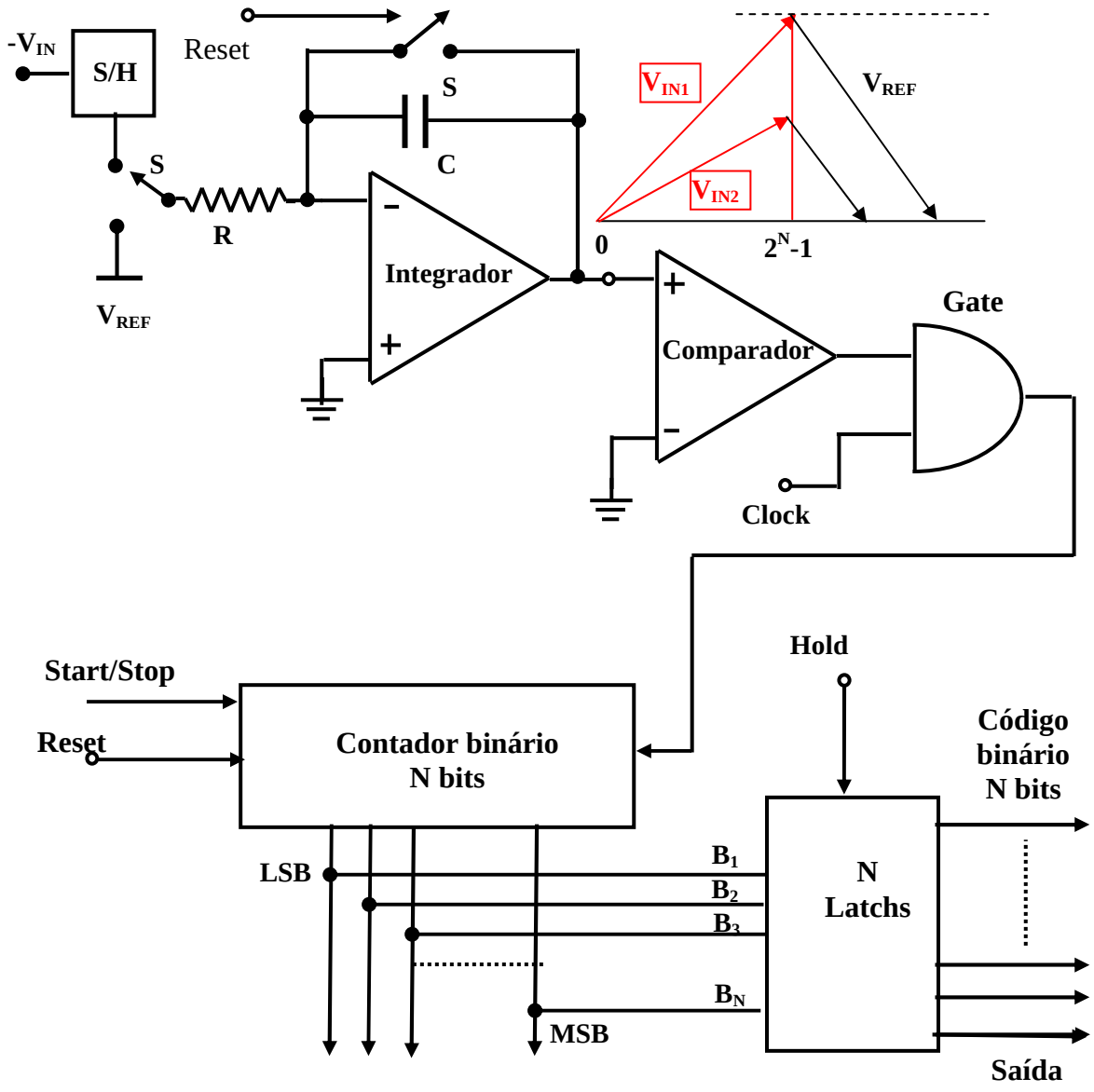


Figura A.19.6 Conversor A/D tipo dupla rampa

No processo de conversão existem duas fases(ver figruaA.19.7). Na fase 1 a chave *S* liga o integrador na tensão de entrada, $-V_{IN}$, e o integrador fornece na sua saída um sinal que cresce linearmente com o tempo e tem uma inclinação variável que depende do valor da tensão de entrada e da constante de tempo *RC*. Nesta fase o intervalo de tempo de integração é fixo e igual ao máximo valor que depende do clock e do numero de bit do contador e conseqüentemente do conversor. Este tempo é dado por:

$$T_1 = (2^N - 1).T_C = (2^N - 1)/f_{CLOCK} \qquad \text{(A.19.4)}$$

Ao final desse tempo a tensão na saída do integrador, V_I, vale:

$$V_I = V_{IF} = (1/RC)\ V_{IN}\,.T_1 \qquad \text{(A.19.5)}$$

Na fase 2 a chave *S* agora conecta uma tensão de referência, V_{REF}, na entrada do integrador que fornece na sua saída um sinal que decresce com uma inclinação constante até atingir um valor de tensão igual a zero. O tempo nessa segunda fase (T_2) pode ser calculado facilmente. A tensão de saída do integrador é dada por:

$$V_I = V_{IF} - (1/RC)\ V_{REF}\,.T_2 = 0\ \text{V} \qquad \text{(A.19.6)}$$

Substituindo a equação (A. 19.5) em (A.19.6) e após (A.19.4) resulta

$$(1/RC)\ V_{IN}\,.T_1 - (1/RC)\ V_{REF}\,.T_2 = 0$$

logo

$$T_2 = V_{IN}\,.T_1 / V_{REF} = (2^N - 1)/f_{CLOCK}.\ V_{IN} / V_{REF} \qquad \text{(A.19.7)}$$

Como podemos observa na equação (A.19.7) o tempo medido pelo contador agora não depende da constante de tempo ***RC*** do integrador. Além disso, a tensão de offset não produz nenhum erro nesse conversor. É deixado como exercício para o aluno mostrar que o erro de offset do comparador não introduz erro nessa conversão digital.

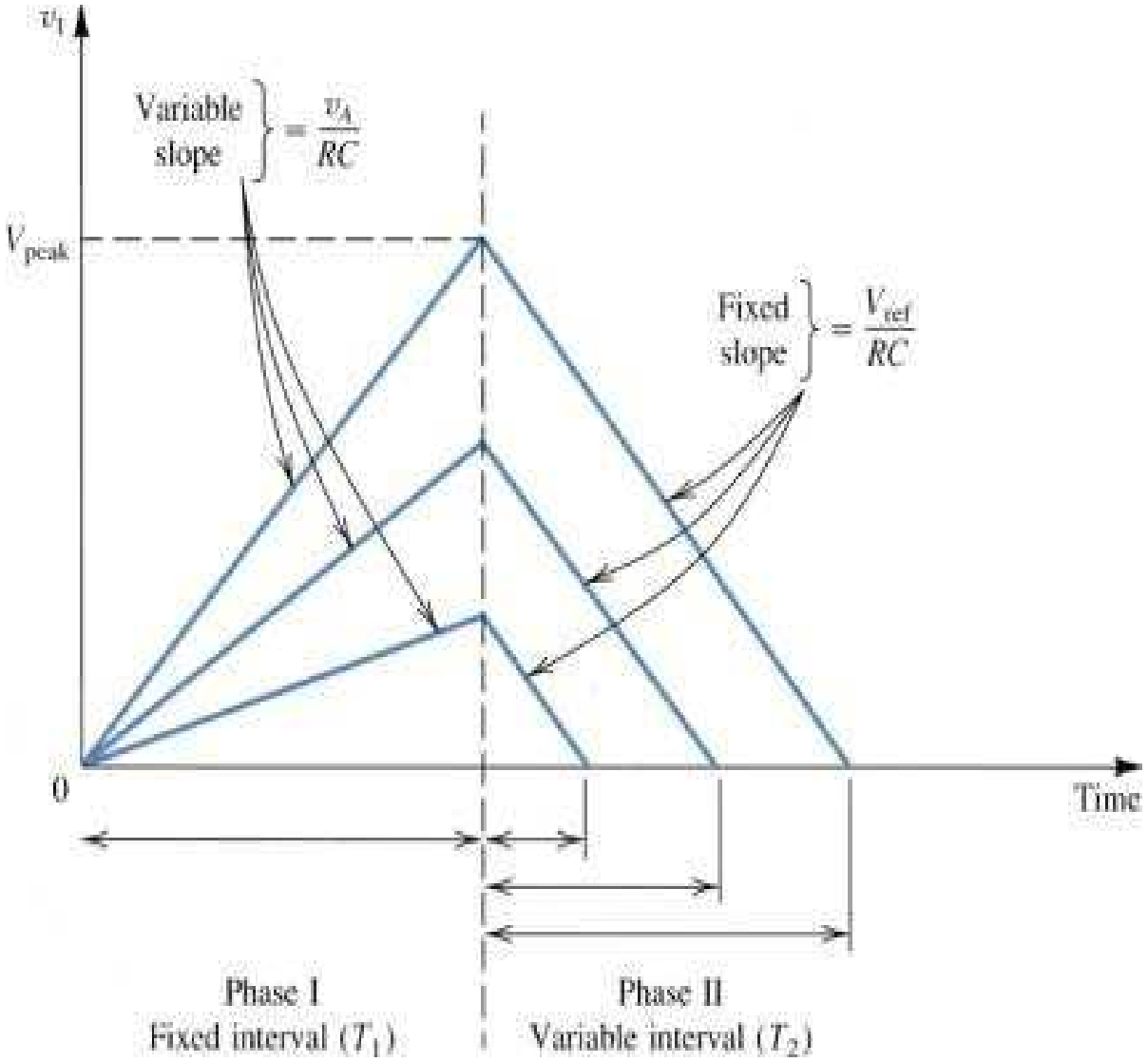


Figura A.16.7 Fases no processo de conversão dupla rampa.