

Aula 23

DDS – Digital Direct Synthesis

Introdução

Síntese direta digital, DDS (do inglês, Direct digital synthesis) é uma técnica para uso com sistemas de processamento de dados digitais para gerar um sinal de saída com frequência e fase precisamente controladas e referenciada a uma frequência de clock de referência.

Hoje, o custo competitivo, o alto desempenho, e a funcionalidade de fácil implementação, estão tornando o uso de chip's DDS cada vez mais presente em geradores de função e processamento digital de sinais. A integração de um conversor D/A de alto desempenho e alta velocidade na arquitetura DDS com processadores digitais (formando uma solução completa DDS) faz esta tecnologia uma boa alternativa para várias aplicações, aos circuitos sintetizadores de frequência baseado em PLL (phase-lock-loop).

Vantagens do uso de DDS:

- Resoluções de micro hertz na frequência de saída e capacidade de sintonia com resolução de sub-graus, tudo sob o controle digital.
- Extremamente rápido o “hopping speed” (salto rápido entre duas frequências distintas) na frequência (ou fase) de saída. Salto com fase contínua sem overshoots ou anomalias de tempo de acomodação típica de implementações analógicas.
- A arquitetura digital de DDS elimina a sintonia manual do sistema e ajustes associados com “drift” devido à variação de parâmetros de componente usados em soluções analógicas.

- A interface de controle digital facilita um ambiente onde sistemas podem ser remotamente controlados, e rapidamente otimizados, sob controle de um processador.
- Quando utilizados como um sintetizador com quadratura, DDS apresenta-se como uma solução impar no casamento e controle das saídas I e Q.

Princípio de funcionamento

Na sua forma mais simples, um sintetizador direto digital pode ser implementado com uma fonte de clock de referência precisa, um contador de endereço, uma memória PROM, e um conversor D/A. A figura A.23.1 mostra um diagrama em bloco de simples DDS.

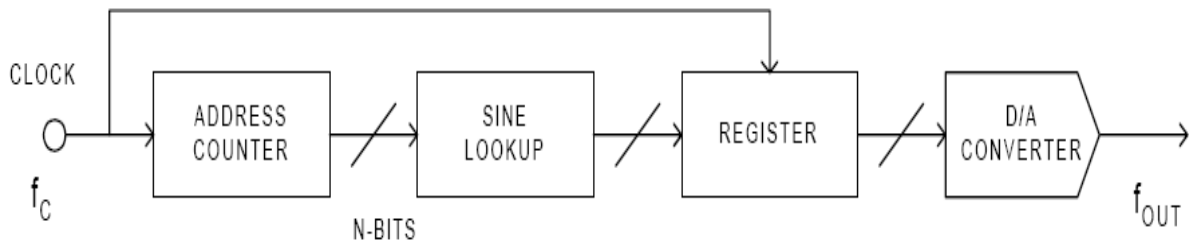


Figura A.22.1 Um simples DDS

Neste caso, a informação da amplitude digital que corresponde a um ciclo completo de uma senoide está armazenada na PROM. Portanto, a PROM funciona como uma tabela (lookup table) de valores predefinidos. Os “steps” do contador de endereço acessam cada uma das posições de memória da PROM e o conteúdo (palavras de amplitude equivalente a uma senoide) são as entradas do conversor D/A de alta

velocidade. Assim, o conversor D/A produz na sua saída um sinal senoidal. A frequência de saída desta implementação é dependente 1) da frequência do clock de referência, e 2) do tamanho do step senoidal que é programado na PROM. Enquanto a qualidade, jitter e, desempenhos AC desta simples implementação podem ser muito boas, esta não possui uma flexibilidade na sintonia (tunning). A frequência de saída só pode mudar pela mudança da frequência do clock de referencia ou pela reprogramação da PROM.

Com a introdução de uma função de um acumulador de fase, torna essa arquitetura um oscilador numericamente controlável (NCO) que é o núcleo (core) de um dispositivo DDS. Como mostrado na figura A.23.2, um contador de módulo de N bits variável e um registrador de fase são implementados no circuito antes da “lookup table” no lugar do contador de endereço. Este circuito funciona como uma roda de fase na arquitetura DDS.

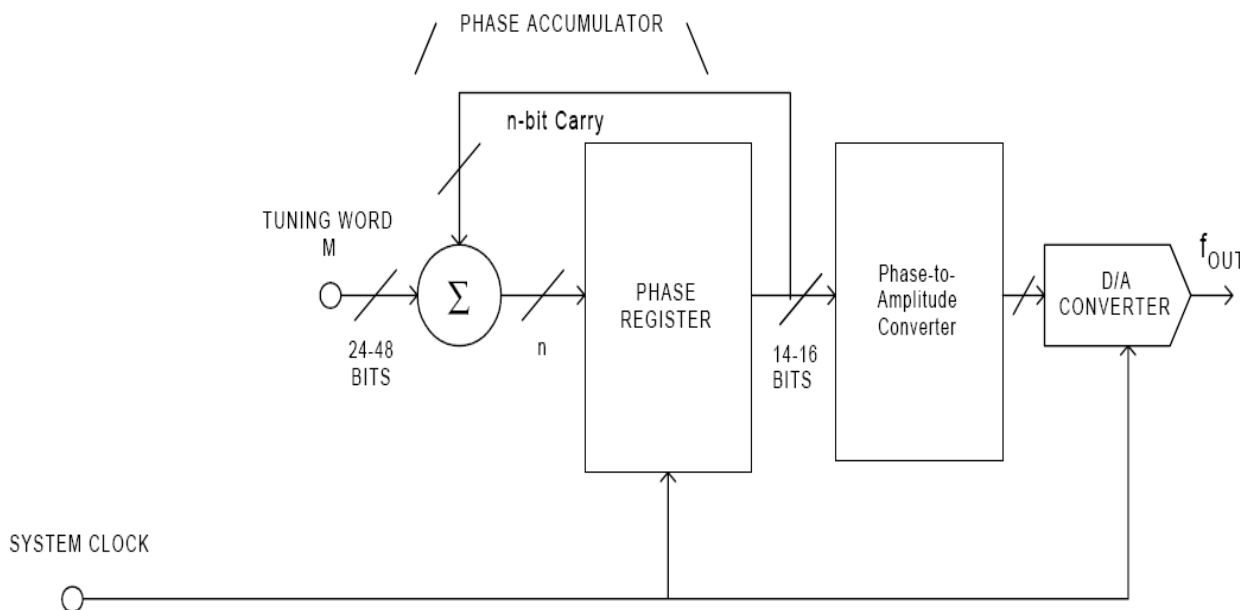


Figura A.23.2 Sistema DDS sintonizado em frequência.

Para entender esta função do básico (roda de fase), imagine um oscilador senoidal como um vetor girando ao redor de um ciclo de fase. Cada ponto designado na roda de fase corresponde a um ponto equivalente a ponto em um ciclo completo de um sinal senoidal, como mostrado na figura A.23.3.

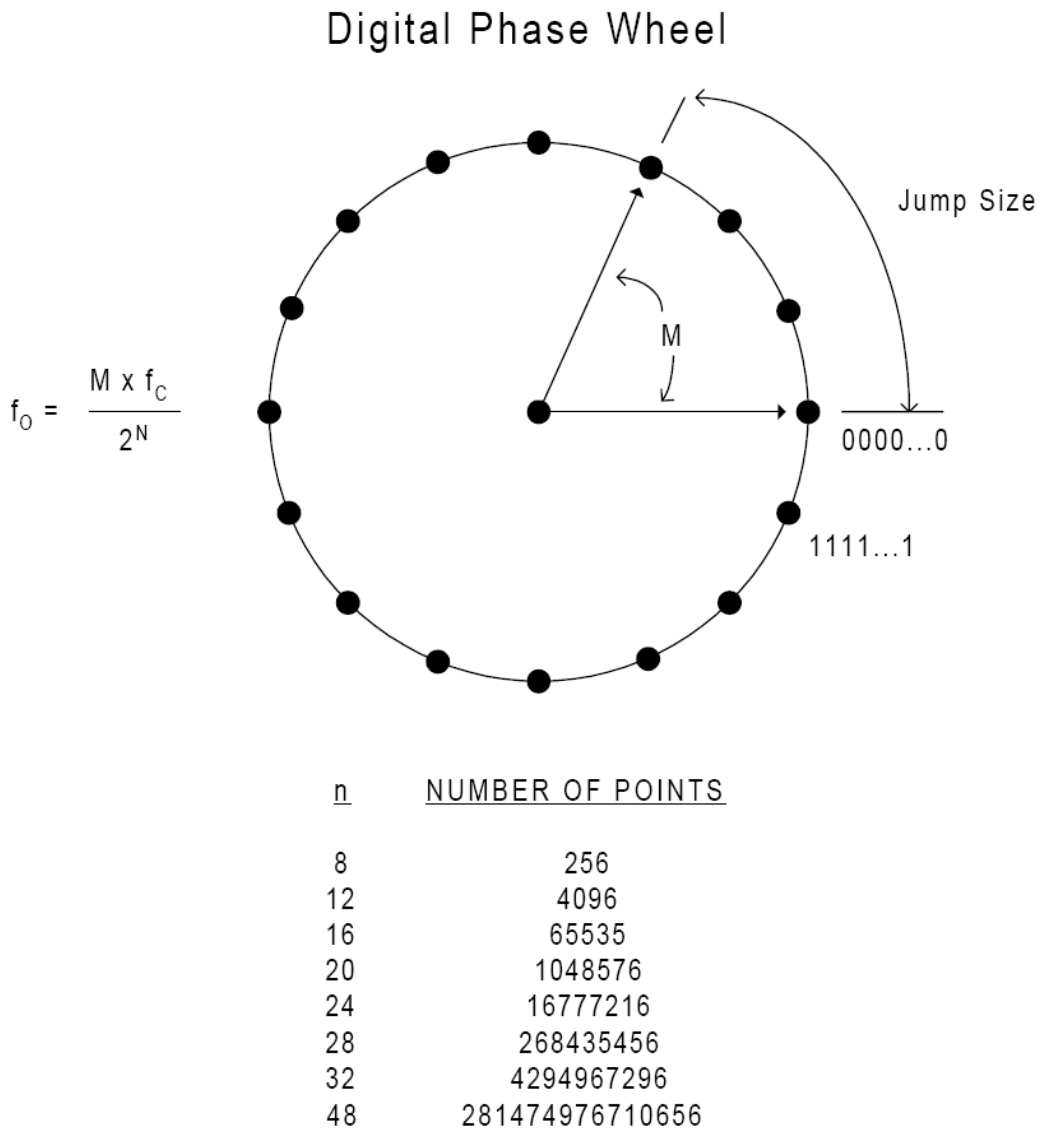


Figura A.23.3 Roda de fase digital

Quando o vetor gira ao redor da roda, note que uma saída senoidal está sendo gerada. Um volta do vetor ao longo da roda de fase, numa velocidade constante, resulta em um ciclo completo de uma saída senoidal. O acumulador de fase é utilizado para fornecer o equivalente a uma rotação linear de um vetor ao redor da roda de fase. O conteúdo do acumulador de fase corresponde ao ponto no ciclo da onda senoidal. O número de pontos discretos de fase contidos na roda é determinado pela resolução, N , do acumulador de fase.

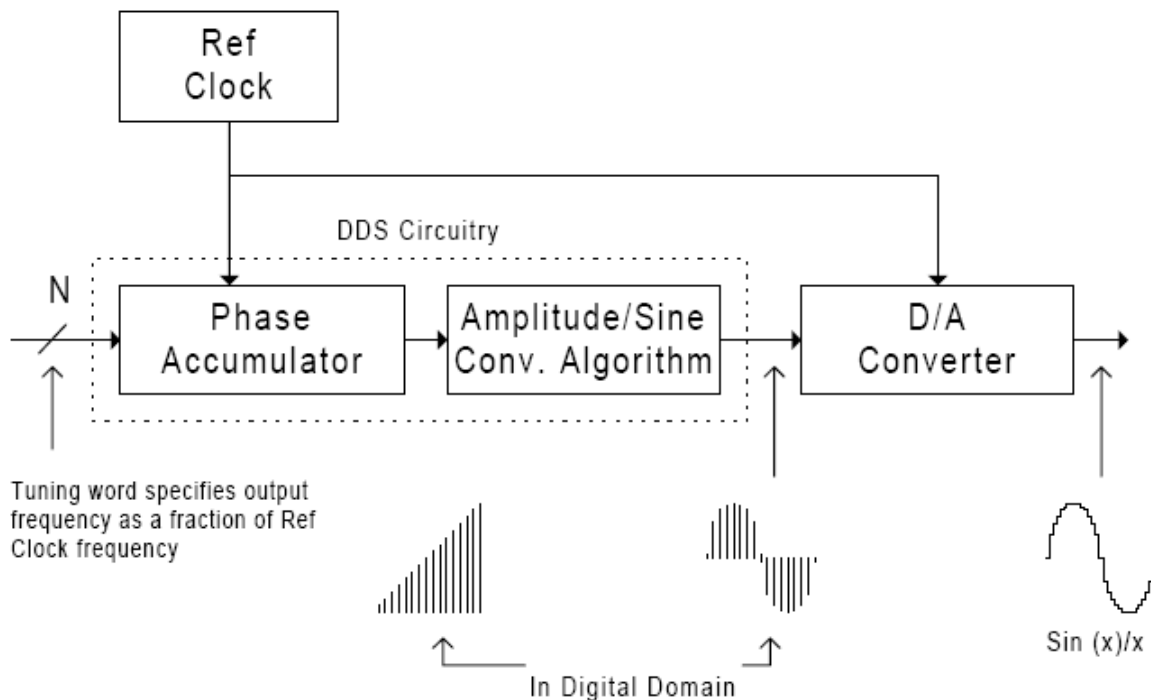


Figura A.23.4 Fluxo do sinal através da arquitetura DDS

A saída do acumulador de fase é linear e não pode ser utilizado diretamente para gerar um sinal senoidal ou qualquer outra forma de onda, exceto uma rampa. Portanto, uma tabela que converte fase em amplitude é usada para fornecer uma versão truncada da saída

instantânea do acumulador de fase em informação de amplitude de uma forma de onda senoidal que é suprida ao conversor D/A.

O acumulador de fase é realmente um contador de módulo M que incrementa seu número armazenado cada que ele recebe um pulso de clock. A magnitude do incremento é determinada pela palavra digital M contido do “registorador de fase delta” que somada com a saída do contador. A palavra M do registorador de fase determina o tamanho do step em cada ciclo de clock, ou seja, quantos pontos na roda de fase serão saltados. Quanto maior o salto mais rápido o acumulador de fase completa o ciclo de fase equivalente. Para um acumulador de fase de $N = 32$ bits, um M igual 0000...0001(um) resultará num acumulador de fase atingindo seu fundo de escala após 2^{32} ciclos de clock (incrementos). Se M muda para 0111...1111, o acumulador de fase atinge o fundo de escala em somente 2^1 ciclos de clock. Este controle do tamanho do salto constitui da extrema resolução em frequência da arquitetura DDS.

A relação do acumulador de fase para sintonia do DDS pode ser representada pela equação:

$$F_{OUT} = \frac{M}{2^N} F_{REF} \quad (\text{A.23.1})$$

Onde: F_{OUT} = A frequência de saída do DDS

M = A palavra de sintonia digital

F_{REF} = A frequência do clock de referencia interna (clock do sistema)

N = O número de bits do acumulador de fase.

Uma mudança no valor de M resulta numa imediata e continua mudança de fase e frequência na saída do DDS. Em geral, a limitação na mudança da velocidade na frequência de saída é devido ao tempo de carregamento da palavra de sintonia digital no registrador interno.

Uma das vantagens da natureza digital da arquitetura DDS é que blocos de funções digitais podem ser adicionados ao núcleo principal para enriquecer a capacidade e características de um dado dispositivo. Para uso em aplicações gerais, um dispositivo DDS inclui um conversor D/A para fornecer na saída um sinal já na forma analógica. Dispositivos DDS estão disponíveis comercialmente com conversores D/A de 10 a 12 bits funcionando a frequências internas até próximas de 1 GHz.

Um diagrama em bloco de um dispositivo DDS com capacidades entendidas é mostrado na figura A.23.5

Os blocos normalmente incluído são:

- Um multiplicador do clock de referencia programável na entrada do clock, multiplica a frequência de clock externa, reduzindo a a velocidade necessária no clock externo.
- A adição de um bloco de soma após o acumulador de fase permite que a onda de saída senoidal seja atrasada em fase em correspondência com a palavra de sintonia digital.
- Um bloco inverso de SINC ($\sin x/x$) inserido antes do conversor D/A compensa a resposta $\text{Sin}(x)/x$ da saída do conversor D/A, e desta forma, fornece uma saída com amplitude constante sobre todo intervalo de Nyquist dos dispositivos DDS.
- Um multiplicador digital inserido entre a tabela de seno (lookup table) e o conversor D/A permite a multiplicação de amplitude dos dispositivos DDS.
- Um conversor D/A de alta velocidade pode ser incluído para

permitir uma saída em quadratura (coseno). Isto permite que o dispositivo DDS forneça saídas I e Q que são precisamente casados em fase, frequência e em amplitude. Este conversor adicional pode ser controlado por uma interface de controle e usado como um D/A de controle em várias aplicações.

- Uma função de um comparador rápido pode ser integrada que facilita o uso de DDS como gerador de clock. O comparador é configurado para converter a saída senoidal em quadrada.
- Um registrador de frequência/fase pode ser adicionado que permite palavras de frequência e fase possam ser pré-programadas e seus conteúdos executados via um simples pino de controle. Esta configuração permite o suporte de modulação FSK(frequency-shift-keying).

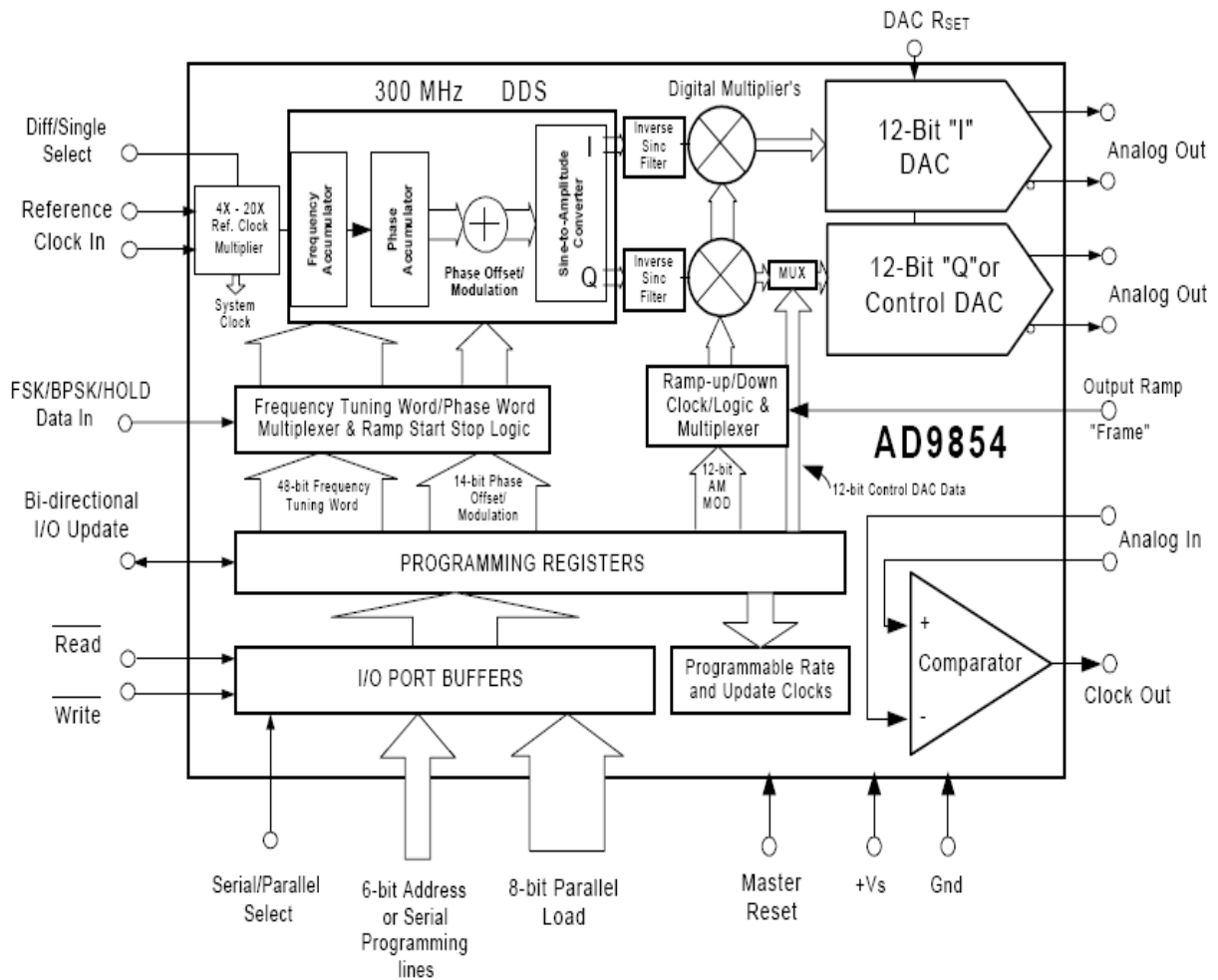


Figura A.23.5 Blocos adicionais na arquitetura DDS

Entendendo a saída amostrada de um dispositivo DDS

Uma compreensão da teoria de amostragem é necessária quando analisamos a saída amostrada de uma solução baseada em DDS. O espectro de saída amostrada é ilustrado na figura A.23.6. Neste exemplo, a frequência de clock (f_{clock}) é de 300 MHz e a frequência de saída (f_{OUT}) fundamental é de 80 MHz.

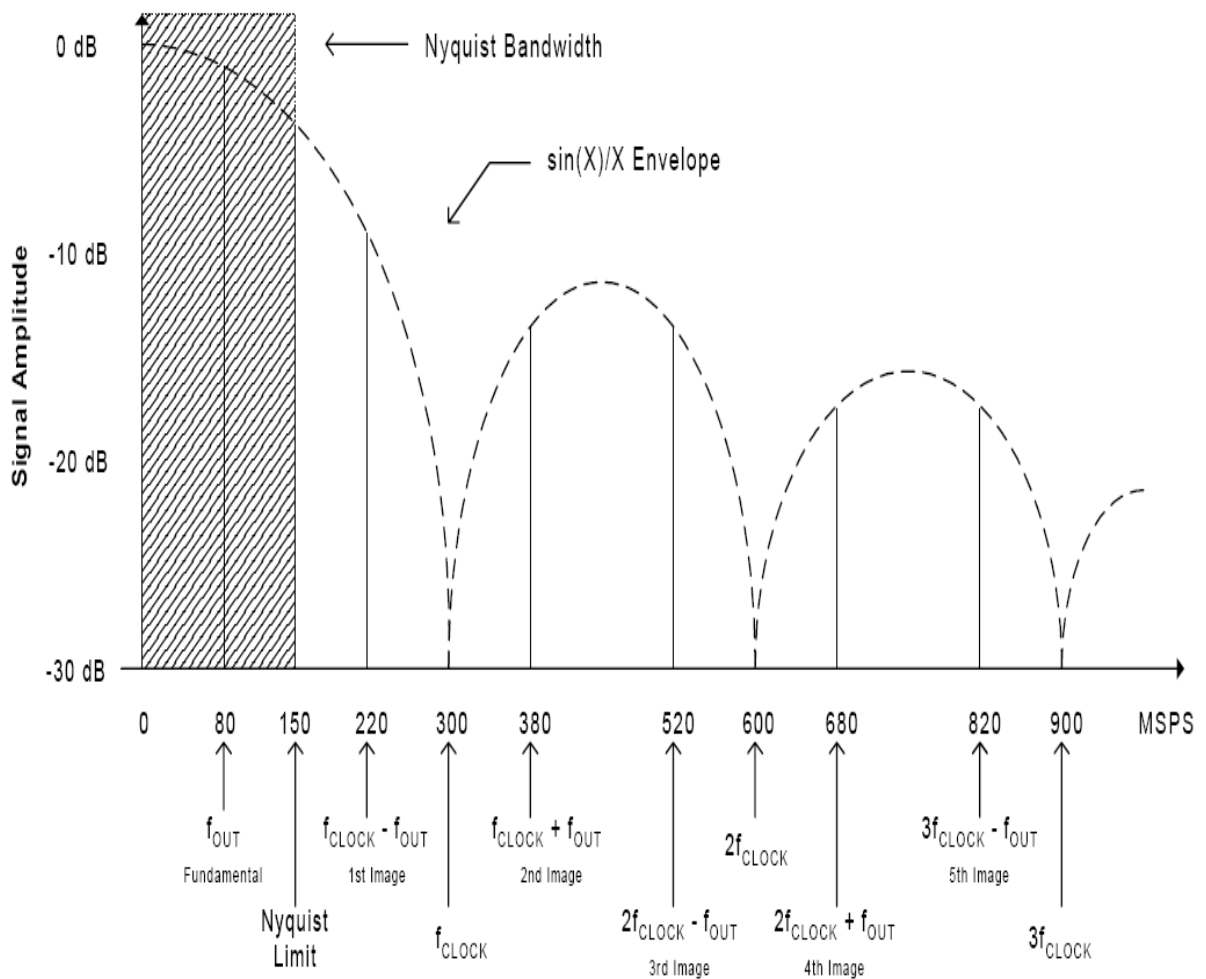


Figura A.23.6 Análise espectral da saída amostrada

O Teorema de Nyquist afirma que é necessário o mínimo de duas amostras por ciclos para reconstruir o sinal desejado. Respostas imagem são criadas no espectro da saída amostrada em $f_{\text{CLOCK}} \pm f_{\text{OUT}}$. A 1st resposta imagem ocorre nesse exemplo em $f_{\text{CLOCK}} - f_{\text{OUT}}$ ou 220 MHz. As 2st, 3st, 4st, e 5st imagem aparecem em 380 MHz, 520 MHz, 680MHz, e 820 MHz, respectivamente. Note que nulos aparecem em múltiplos da frequência de amostragem.

Em aplicações típicas de DDS, um filtro passa-baixas é utilizado para suprimir os efeitos das respostas imagem no espectro de saída. A fim de manter as restrições da frequência de corte do filtro passa-baixas razoável, é aceito como regra limitar f_{OUT} como sendo aproximadamente 40% de f_{CLOCK} . Isto facilita um pouco a implementação de filtro econômicos na saída.

Como pode ser observado na figura o espectro é modulado por uma função Sinc ($\text{sinc}(x)$). Isto é devido a natureza “holding” (manter um dado até o próximo) do conversor D/A. Assim a amplitude da fundamental e qualquer resposta imagem pode ser calculada usando a função sinc. Como já foram mencionadas, arquiteturas DDS podem incluir um bloco que realiza a compensação aplicando a função inversa de Sinc.

Outros efeitos na saída do espectro, tais como erros de linearidade diferencial e integral do conversor D/A, clock “feed-through” não são modulados pela função Sinc. Estes erros aparecem nos espectros com harmônicas espúrias e geralmente são menores em amplitude que os espectros imagem.

Capacidade de salto na frequência/fase de DDS.

Calculando a palavra da frequência de sintonia

A frequência de saída de um dispositivo DDS é determinada pela fórmula:

$$F_{OUT} = \frac{M}{2^N} F_{REF} \quad (\text{A.23.2})$$

Onde: F_{OUT} = A frequência de saída do DDS

M = A palavra de sintonia digital

F_{REF} = A frequência do clock de referencia interna (clock do sistema)

N = O número de bits do acumulador de fase.

O número de bit do acumulador de fase é que determina o grau de resolução da implementação DDS. Vamos achar a palavra de sintonia, M , para uma frequência de saída de 41 MHz onde $F_{REF} = 120$ MHz e N igual a 32 bits. A resolução da equação (A.23.2) resulta:

$$41 \text{ MHz} = (M \cdot 120 \text{ MHz}) / 2^{32}$$

resolvendo para M ...

$M = 1467447159$ (aproximado para o inteiro mais próximo)

Carregando esse valor de M para o registrador de controle de frequência resulta numa frequência de saída de 40,99999998696 MHz.

Determinando a máxima velocidade de sintonia

A máxima velocidade de sintonia de uma implementação DDS é determinada configuração de carregamento da palavra de sintonia, palavra de byte paralelo ou serial, e da velocidade do controle de interface. Em algumas aplicações, é desejável máxima velocidade. Aplicações tais como, modulação FSK e GMSK(**Gaussian minimum shift keying** é um esquema de modulação de deslocamento de frequência com fase contínua), requerem máxima velocidade na sintonia. Tipicamente um dispositivo DDS que suporta entrada com byte paralelo possuem alta taxas de carregamento. Controle de dados com clock de 100 MHz é tipicamente encontrado. Isso significa que uma nova palavra de sintonia pode estar presente na saída de dispositivo DDS a cada 10 ns. A saída com fase contínua em mudanças de frequências é bem adequado para aplicações em “spread spectrum”

Dispositivos DDS também fornecem um conjunto de registradores que podem ser pré-programados com palavras de sintonia. O conteúdo desses registradores pode ser executado com um pino externo do chip.

Isso permite que saltos muito rápidos possam ser realizados em valores de frequências pré-definidas. Quando esses registradores são utilizados saltos de frequência de até 250 MHz podem ser atingidos.

O efeito da resolução do conversor D/A

Como já estudamos, a resolução do conversor D/A é especificada pelo número de bits de entrada. Por exemplo, a resolução de um conversor com 10 bits de entrada é referida como tendo uma resolução de 10-bit. O efeito da resolução de um conversor D/A é mais facilmente entendida pela visualização de uma senóide reconstruída.

Considere a figura A.23.7 na qual um D/A de 4 bit de resolução é usado para reconstruir a uma senóide. As linhas verticais são as marcações no tempo e indica o instante onde o D/A é atualizado para o novo valor. Assim, a distancia horizontal entre as linhas verticais representa o período de amostragem. Note que o desvio entre o sinal de saída do D/A e a senóide perfeita. A distancia vertical no sinal de saída nos instantes de amostragem é o erro introduzido pelo D/A como consequência da resolução finita. Este erro é conhecido como erro de quantização e produz um efeito conhecido como **distorção de quantização**.

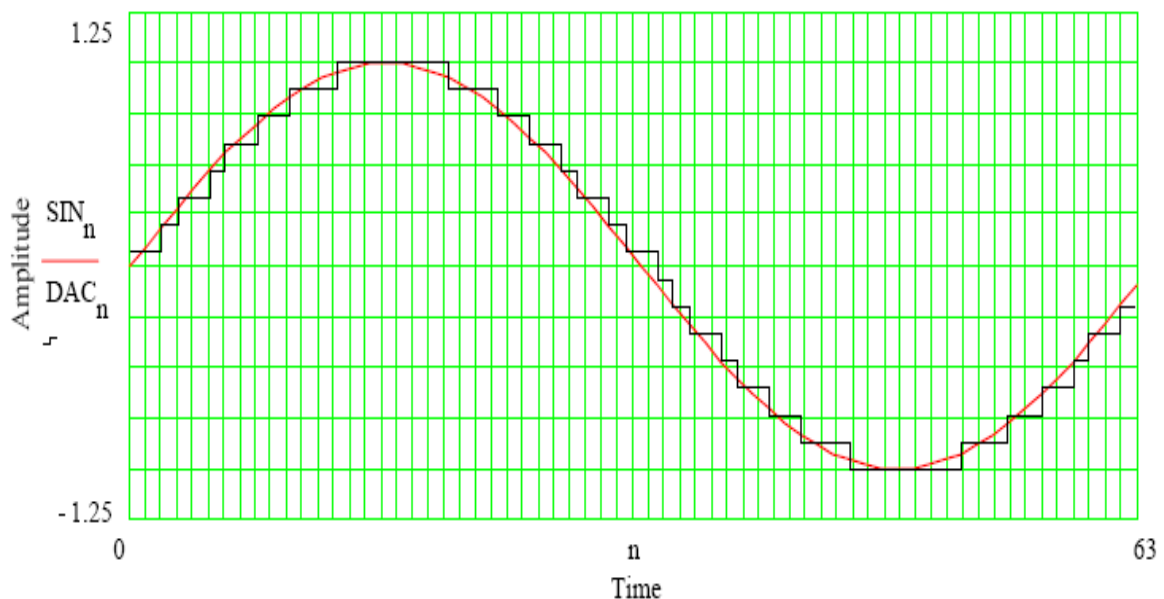


Figura A.23.6 Efeito da resolução finita do D/A

Para entender a natureza da distorção de quantização, note que o canto abrupto na saída do D/A. Estes cantos abruptos implicam na presença de componentes de alta frequência sobreposta a fundamental. São estas componentes de alta frequência que constituem a distorção de quantização. No domínio da frequência, os erros de distorções de quantização são refletidos (aliasing) para banda de Nyquist e aparecem como frequências espúrias no saída do D/A.

Quando a resolução aumenta a distorção de quantização decresce; isto é, o conteúdo espúrio decresce. Isto é graficamente mostrado nas figuras A.23.8 e A.23.9.

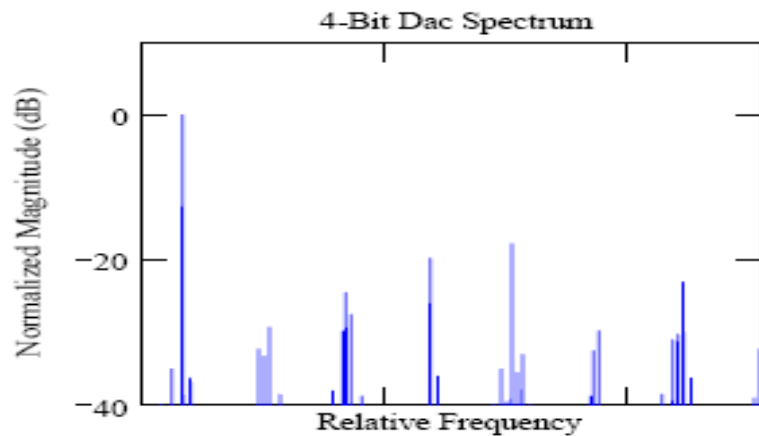


Figura A.23.8 Espectro de saída para um D/A de 4 bits

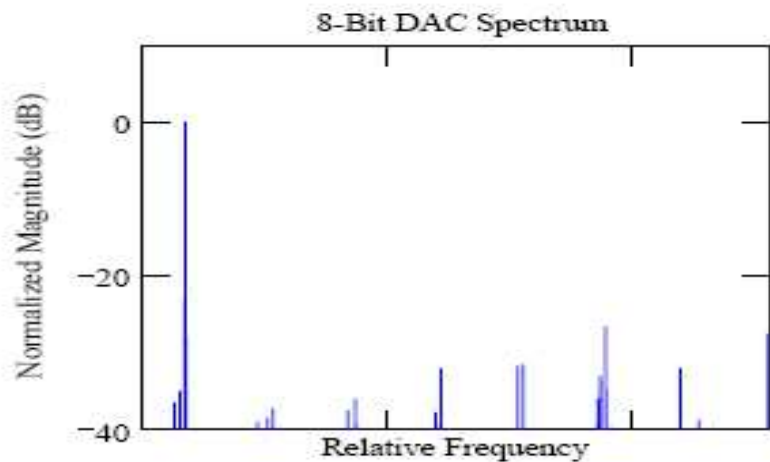


Figura A.23.9 Espectro de saída para um D/A de 8 bits

O efeito da sobreamostragem na resposta espúrias

Como já vimos, nos estudos de conversores sigma-delta, a sobreamostragem melhora, aqui também, o desempenho do DDS. A figura A.23.10 mostra como a sobreamostragem melhora o desempenho do DDS. A quantidade da potência do ruído de quantização é dependente da resolução do D/A. E esta quantidade é fixa e proporcional à área hachurada. No caso de sobreamostragem, a quantidade de potência de ruído de quantização é a mesma como no caso de Nyquist. Desde que a potência é a mesma em ambos os casos, e a área do retângulo é proporcional a potência de ruído, então a altura do retângulo no caso sobreamostrado é bem menor que na amostragem em Nyquist.

23.10

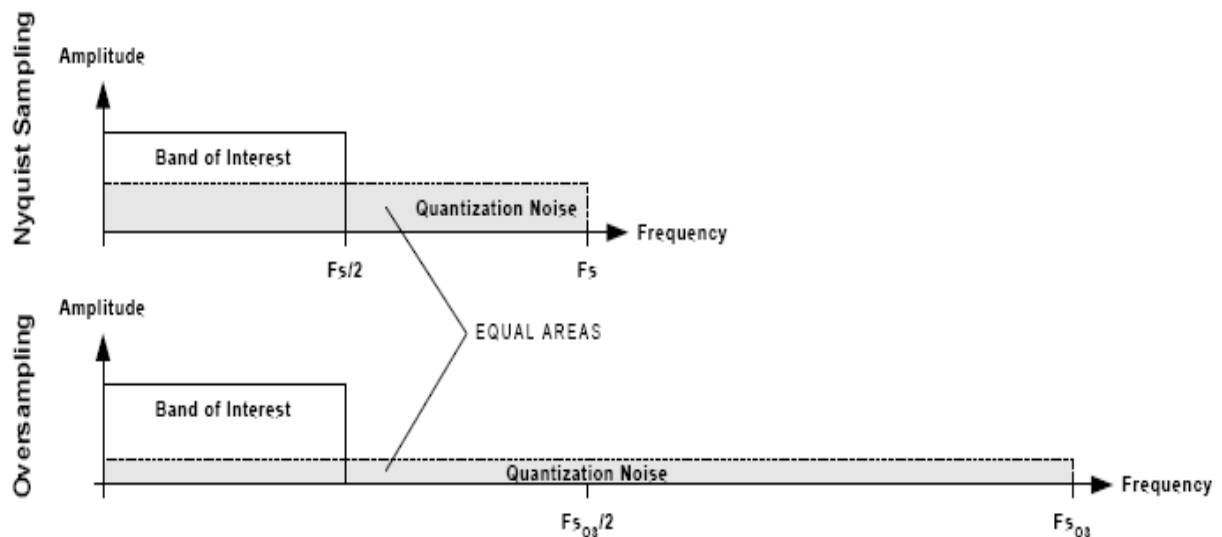


Figura A.23.10 O efeito da sobreamostragem