

Aula 24

Circuitos Lógicos Programáveis

1) Introdução

Impulsionado pelo desenvolvimento de novos tipos de sofisticados dispositivos programáveis por campo elétrico (FDPs), o processo de projeto digital hardware tem mudado drasticamente nos últimos anos. Diferentemente das gerações anteriores de tecnologia, nas quais projetos no nível de PCB incluíam grande número de chips SSI contendo portas básicas, virtualmente toda geração de projeto produzido hoje consiste majoritariamente de dispositivos de alta densidade. Isto se aplica não apenas para dispositivos customizados como processadores e memória, mas também para circuitos lógicos como controladores com máquina de estados, contadores, registradores e decodificadores. Quando tais circuitos são destinados para sistemas de alto volume eles têm sido integrados dentro de gate arrays (arranjo de portas) de alta integração. Entretanto, os preços dos chips gate array são freqüentemente muito caros e estes levam muito tempo para serem fabricados e para permitir que protótipos ou outros projetos de baixo volume sejam viáveis. Por essas razões, a maioria dos protótipos, e também muitos projetos de produção são agora construídos usando FDPs. As vantagens dos FDPs são de fabricação instantânea, baixos custos iniciais, baixo risco financeiro e (como a programação é feita pelo usuário final) facilidades nas mudanças do projeto.

O mercado de FDPs tem crescido dramaticamente na última década ao ponto de existir agora uma ampla variedade de dispositivos. Um projetista hoje enfrenta uma tarefa assustadora de pesquisar diferentes tipos de chips, entender no que eles podem ser

mais bem usados, escolher um produto manufaturado específico, aprender as especificidades de cada vendedor de software e então projetar o hardware. A confusão para os projetistas é exacerbada não apenas pelo grande número de FPDs disponíveis, mas também pela complexidade dos mais sofisticados dispositivos. O propósito deste texto é fornecer uma visão geral da arquitetura dos vários tipos de FPDs. A ênfase será dada nos dispositivos com relativamente alta capacidade lógica; os mais importantes produtos comerciais também serão discutidos.

Antes de prosseguir, nós fornecemos definições terminológicas dessa área. Isto é necessário porque jargões técnicos têm se tornado de alguma forma inconsistentes nos últimos anos, pois as empresas têm tentado comparar e diferenciar seus produtos.

1.1 Definições Terminológicas Relevantes

A mais importante terminologia usada neste texto é definida abaixo.

- *FPD -Dispositivo programável por campo* - é um termo geral que se refere a qualquer tipo de circuito integrado usado para implementação digital de hardware, onde o chip pode ser configurado pelo usuário final para realizar diferentes projetos. A programação de tal dispositivo frequentemente envolve o posicionamento do chip dentro de uma unidade de programação especial, mas alguns chips também podem ser configurados “in-sistema” ou “in-circuit”. Outro nome para FPDs é dispositivos lógicos programáveis (PLDs); Apesar do PLD englobar os mesmos tipos que os FPDs, é preferido o termo FPD porque historicamente a palavra PLD se referiu a tipos relativamente simples de dispositivos.

- *PLA- Array lógico programável (PLA)* é um FPD relativamente pequeno que contém dois níveis de lógica, um nível AND e um nível OR, onde ambos os níveis são programáveis (note: apesar das estruturas do PLA serem algumas vezes embutidos dentro de chips ‘full-custom’, nos referimos aqui apenas aos PLA’s que são providos como circuitos separados integrados e são programáveis pelo usuário).
- *PAL*- Programmable Logic Array (PAL)* é um FPD relativamente pequeno que tem um nível AND programável seguido por um nível OR fixo.

*PAL é uma marca registrada dos Advanced Micro Devices.

- *SPLD-* refere-se a qualquer tipo de PLD simples, geralmente um PLA ou um PAL.
- *CPLD-* um PLD mais complexo que consiste em um arranjo de múltiplos blocos SPLD em um único chip. Nomes alternativos (que não serão usados neste texto) algumas vezes adotados para este estilo de chip são Enhances PLD (EPLD), Super PAL, Mega Pal, e outros.
- *FPGA- Field-Programmable Gate Array* é um FPD caracterizando uma estrutura geral que permite altíssima capacidade lógica. Considerando os recursos lógicos característicos do CPLDs com um amplo número de entradas (nível AND), FPGAs oferece mais recursos lógicos. FPGAs também oferece maior número de flip-flops do que os CPLDs.
- *HCPLDs –PLDs de alta capacidade:* um acrônimo que se refere tanto a CPLDs quanto a FPGAs. Este termo tem sido adotado na literatura comercial para providenciar uma forma fácil de se

referir a ambos os tipos de dispositivos. Nós não usamos este termo no texto.

- *Interconnect* – recurso de fiação no FPD.
- *Programmable Switch* – uma chave programável pelo usuário que pode conectar um elemento lógico a um fio de interconexão, ou um fio de interconexão a outro.
- *Logic Block* – um bloco de circuito relativamente pequeno que é replicado em um array no FPD. Quando um circuito é implementado no FPD, ele é primeiramente decomposto em sub-circuitos menores que podem cada um ser mapeado em um bloco lógico. O termo bloco lógico é usado na maioria das vezes no contexto de FPGA, mas ele pode também se referir a um bloco de circuitos no CPLD.
- *Logic Capacity*- a quantidade de lógica digital que pode ser mapeada em um único FPD. Isto é geralmente medido pelo tamanho do gate array que ele é comparado. Em termos simples, a capacidade lógica pode ser pensada como o número portas NAND de duas entradas.
- *Logic Density*- a quantidade de lógica por unidade de área no FPD.
- *Speed-Performance* - medida da velocidade operacional máxima de um circuito quando implementado em um FPD. Para circuitos combinacionais, ele é determinado pelo atraso mais longo de qualquer caminho elétrico, e para circuitos seqüenciais é a máxima freqüência de clock na qual o circuito funciona de forma apropriada.

No restante desta seção, para oferecer uma visão geral do desenvolvimento do FPD, é descrita a evolução dos FPDs nas últimas duas décadas. Informações adicionais são também incluídas nas tecnologias semicondutores usadas na fabricação de FPDs.

1.2 Evolução dos Dispositivos Lógicos Programáveis

O primeiro tipo de chip programável pelo usuário que podia implementar circuitos lógicos foi a memória PROM (Programmable Read-Only Memory), no qual as linhas de endereço podiam ser usadas como circuitos de entrada lógica e as linhas de dados como saída. Funções lógicas, entretanto, raramente requerem mais do que poucos termos de produto (mintermos), e a PROM contém um decodificador para as entradas de endereços. PROMS são portanto uma arquitetura ineficiente para realizar circuitos lógicos, e assim são raramente utilizados na prática para esse propósito. O primeiro dispositivo desenvolvido mais tarde especificamente para implementar circuitos lógicos foi o Field-Programmable Logic Array (FPLA), ou simplesmente PLA. O PLA consiste em dois níveis de portas lógicas: um nível de portas AND-wired programável seguido por um nível de portas OR-wired programável.

O PLA é estruturado para que nenhuma de suas entradas (ou seus complementos) possa ser AND'ed juntos no nível AND; cada saída no nível AND pode assim corresponder a qualquer termo de produto de entrada. Como essa estrutura, PLAs são bem adequados para implementar funções lógicas na forma de soma de produto. Eles também são bem versáteis, já que tanto os termos AND e os termos OR podem ter muitas entradas (esta característica é freqüentemente referida como portas AND e OR wired – por fio).

Quando PLAs foram introduzidos no início da década de 70, o seu principal inconveniente era que eles eram caros para produzir e oferecidos de certa forma com uma baixa velocidade de desempenho. Ambas as desvantagens foram devido aos dois níveis de configuração lógica, porque níveis lógicos programáveis eram difíceis de produzir e introduziram significativos atrasos de propagação. Para superar essas fraquezas, os dispositivos Programmable Array Logic (PAL) foram desenvolvidos. Como a figura A.24.1 mostra, PALs caracteriza-se por apenas um único nível programável, consistindo em um “wired” nível AND programável que alimenta as portas do nível OR fixos. Para compensar a falta de generalidade devido ao fato do nível OR ser fixo, várias variações de PALs são produzidas, com diferentes números de entradas e saídas, e vários tamanhos de OR-gates. PALs geralmente contém flip-flops conectados aos saídas do OR-gate para que os circuitos seqüenciais possam ser realizados. Os dispositivos do PAL são importantes porque quando foram introduzidos eles tiveram um profundo efeito no projeto digital do hardware, e também eles são a base para algumas das mais novas e mais sofisticadas arquiteturas que serão descritas brevemente. Variantes da arquitetura do PAL básico são caracterizadas em muitos outros produtos conhecidos por diferentes acrônimos. Todos os pequenos PLDs, incluindo PLAs, PALs e dispositivos como o PAL são agrupados em uma categoria simples chamada PLDs (SPLDs), cuja mais importantes características são o baixo custo e altíssima velocidade pino a pino de desempenho.

Inputs & Flip-flop feedbacks

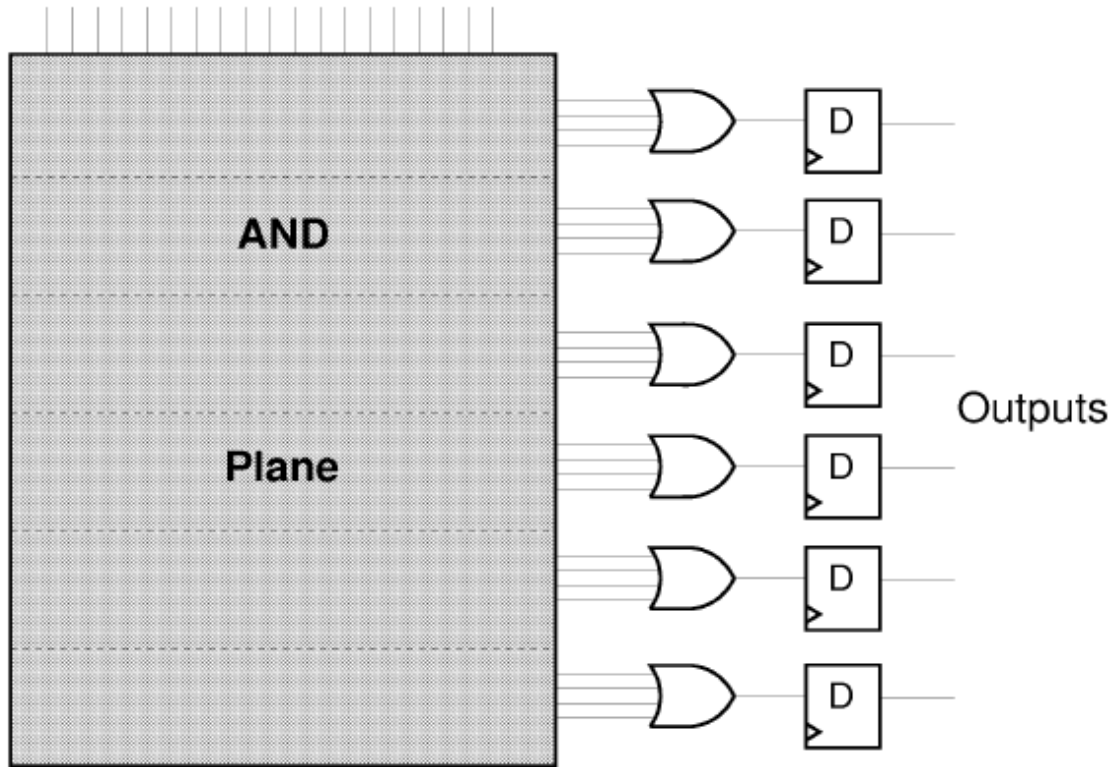


Figura A.24.1 Estrutura de um PAL

Com o avanço da tecnologia, se tornou possível produzir dispositivos com capacidade mais alta do que os SPLDs. A dificuldade para aumentar a capacidade de uma arquitetura de SPLD rígida é que a estrutura dos níveis lógicos programáveis cresce muito rapidamente em tamanho quando os números de entradas aumentam. O único caminho viável para prover dispositivos de grande capacidade baseados nas arquiteturas do SPLD é então integrar múltiplos SPLDs em um único chip e providenciar interconexão para conectar de forma programada os blocos de SPLD juntos. Muitos produtos de FPD comerciais existem hoje no mercado com essa estrutura básica, e são referidos coletivamente referidos como um Complexo PLDs (CPLDs)

A Altera foi a pioneira dos CPLDs, primeiro na sua família de chips chamada Classic EPLDs, e então em três séries adicionais, chamadas MAX 5000, MAX 7000 e MAX 9000. Devido ao rápido crescimento do mercado para grandes FPDs, outras empresas desenvolveram dispositivos da categoria de CPLD e existem atualmente muitas opções disponíveis. Todos os mais importantes produtos comerciais serão descritos adiante. CPLDs fornecem capacidade lógica até o equivalente a cerca de cinquenta dispositivos SPLD típicos, mas é de alguma forma difícil estender essas arquiteturas em densidades mais altas. É preciso uma abordagem diferente para construir FPDs com altíssima capacidade lógica.

Chips de propósitos gerais de alta capacidade disponível hoje são os gate arrays tradicionais algumas vezes referidos como Mask-Programmable Gate Arrays (MPGAs). MPGAs consiste em um array de transistores pré-fabricados que pode ser customizado no circuito lógico do usuário através da conexão dos transistores com os fios customizados. A customização é realizada durante a fabricação do chip com a especificação da camada de metal de interconexão, e isto significa que para que um usuário empregue um MPGA um grande custo de configuração é envolvido e o tempo de produção é longo. Embora MPGAs não sejam claramente FPDs, eles são mencionados aqui porque eles motivaram o projeto do equivalente programável pelo usuário: Field Programmable Gate Arrays (FPGAs). Como os MPGAs, FPGAs compreendem um array de elementos de circuitos genérico, chamados logic blocks, e recursos interconectados, mas a configuração do FPGA é realizada por meio de uma programação final pelo usuário. Uma ilustração de uma arquitetura típica de FPGA é mostrada na Figura A.24.2. Como o único tipo de FPD que suporta altíssima capacidade lógica, FPGAs têm sido responsáveis pela grande mudança na forma como os circuitos digitais são projetados.

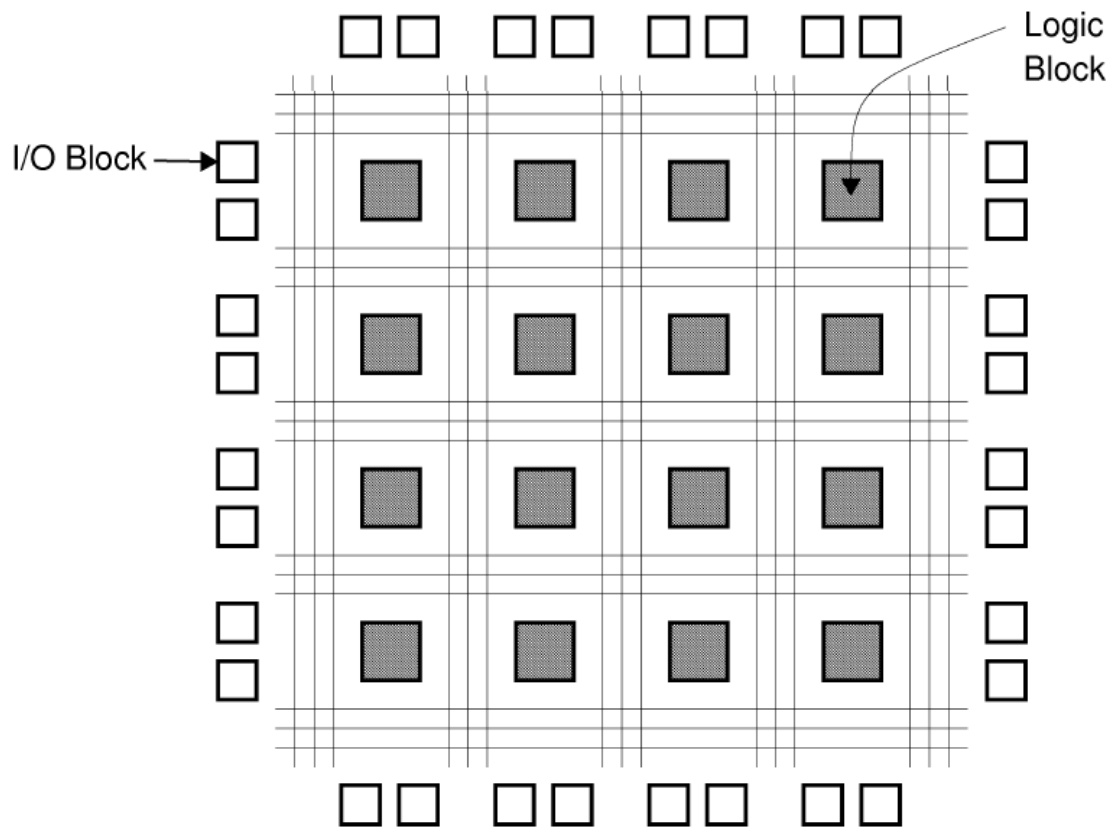


Figura A.24.2 Estrutura de uma FPGA

A Figura A.24.3 resume as categorias de FPDs com a listagem das capacidades lógicas disponíveis em cada uma das três categorias. Na figura, “Gates equivalentes” se refere vagamente ao “número de porta NAND de duas entradas”. O gráfico serve como um guia para selecionar um dispositivo específico para dada aplicação, dependendo da capacidade lógica necessária. Entretanto, como vamos discutir rapidamente, cada tipo de FPD é inerentemente melhor usado para algumas aplicações do que para outras. Também deve ser mencionado que existem outros dispositivos de propósitos especiais otimizados para aplicações específicas (por exemplo, máquinas de estados, gate arrays analógicos, etc).Entretanto, já que o uso desses dispositivos é limitado, eles não serão aqui descritos. A próxima sub-seção

discute os métodos usados para implementar chaves programáveis pelo usuário que são chaves para a customização dos FPDs.

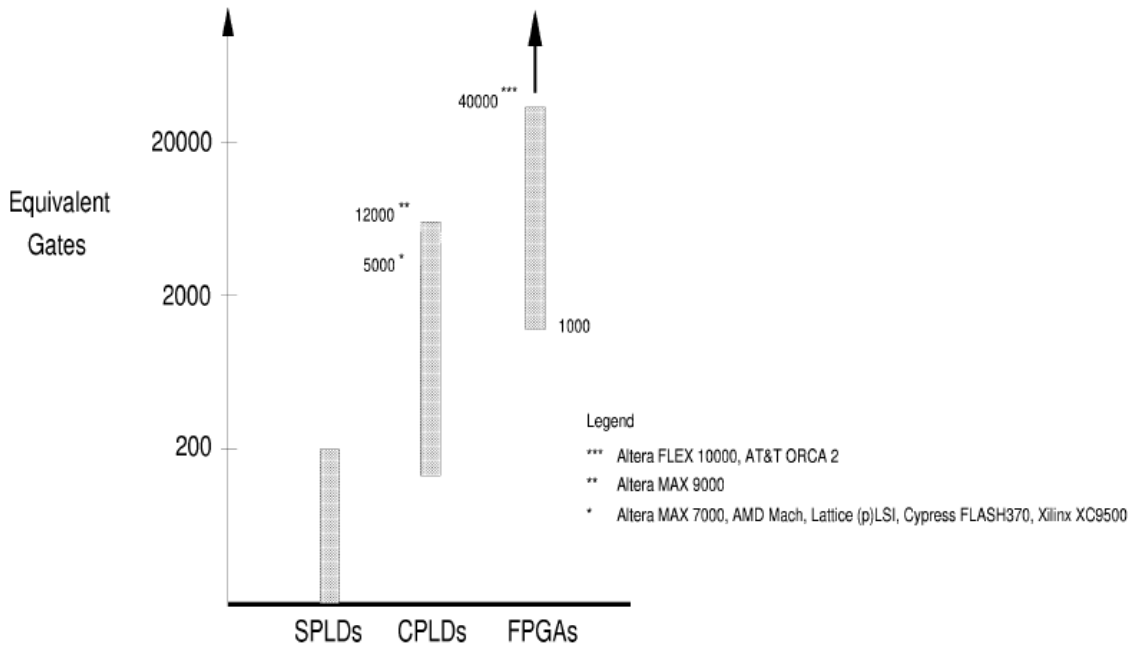


Figura A.24.3 Categoria por capacidade lógica

1.3- Tecnologias de chaves programável pelo usuário

O primeiro tipo chave programável pelo usuário desenvolvido foi o fusível (*fuse*) usado no PLA's. Embora fusíveis ainda sejam usados em alguns dispositivos menores, nós não iremos discuti-los aqui porque eles estão rapidamente sendo substituídos por novas tecnologias. Para dispositivos de maior densidade, onde CMOS domina na indústria de CI's, diferentes abordagens para implementar chaves programáveis estão sendo desenvolvidas. Para CPLD's as principais tecnologias de chaves (nos produtos comerciais) são os transistores de porta flutuante como aqueles usados em EPROM e EEPROM, e para FPGAs eles

são SRAM e antifuse. Cada um deles será rapidamente discutido abaixo.

Um transistor EEPROM ou EPROM é usado como uma chave programável para CPLDs (e também para muitos SPLDs) posicionando o transistor entre dois fios de um modo que facilita a implementação das funções do wired-AND. Isto é ilustrado na Figura A.24.4, que mostra os transistores EPROM como eles deveriam ser conectados no nível AND de um CPLD. Uma entrada para o nível AND pode conduzir um fio produto para o nível “0” da lógica através de um transistor EPROM, se esta entrada é parte do termo do produto correspondente. Para entradas que não estão envolvidos por um termo do produto, os transistores de EPROM apropriados são programados para ficar permanentemente desligados. Um diagrama para um dispositivo baseado no EEPROM se pareceria similarmente.

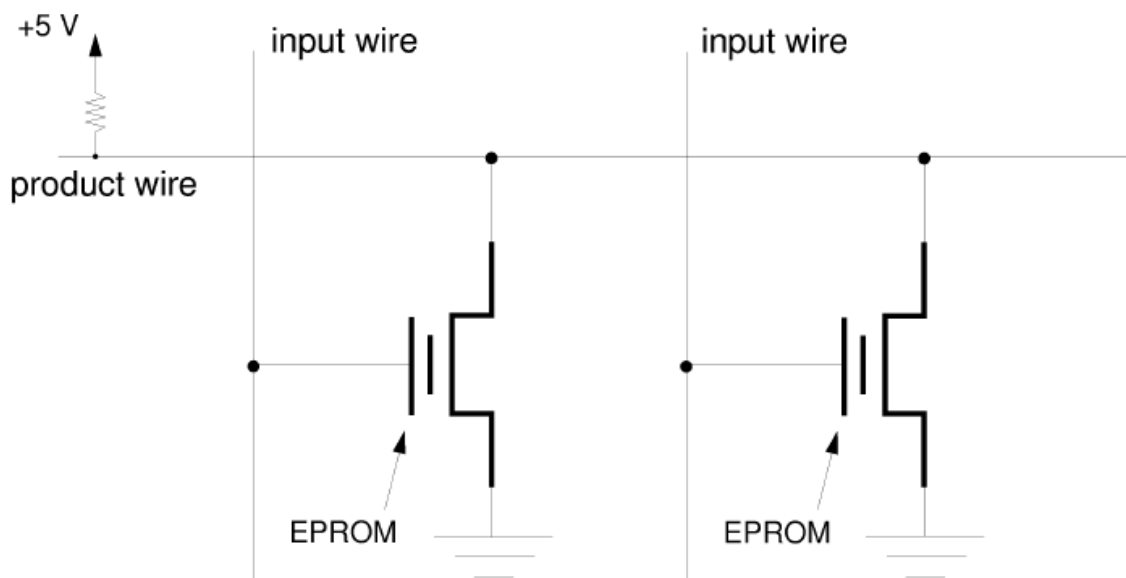


Figura A.24.4 Chaves programáveis EPROM

Embora não existam razões técnicas de que EPROM ou EEPROM não possam ser aplicados para FPGAs, os atuais produtos comerciais FPGA são baseados nas tecnologias do SRAM ou do ‘anti-fuse’(anti-fusível), como discutido abaixo.

Um exemplo do uso de chaves controladas por SRAM está ilustrado na Figura A.24.5, mostrando duas aplicações para as células de SRAM: controlar os nós das portas dos transistores de passagem e controlar as linhas de seleção do multiplexer que alimenta as entradas dos blocos lógicos. A figura oferece um exemplo de conexão de um bloco lógico (representado pela porta AND no canto superior à esquerda) a outro através de dois transistores de passagem, e então um multiplexer, tudo controlado pelas células SRAM. Se um FPGA usa transistores de passagem ou multiplexers ou ambos depende do produto em questão.

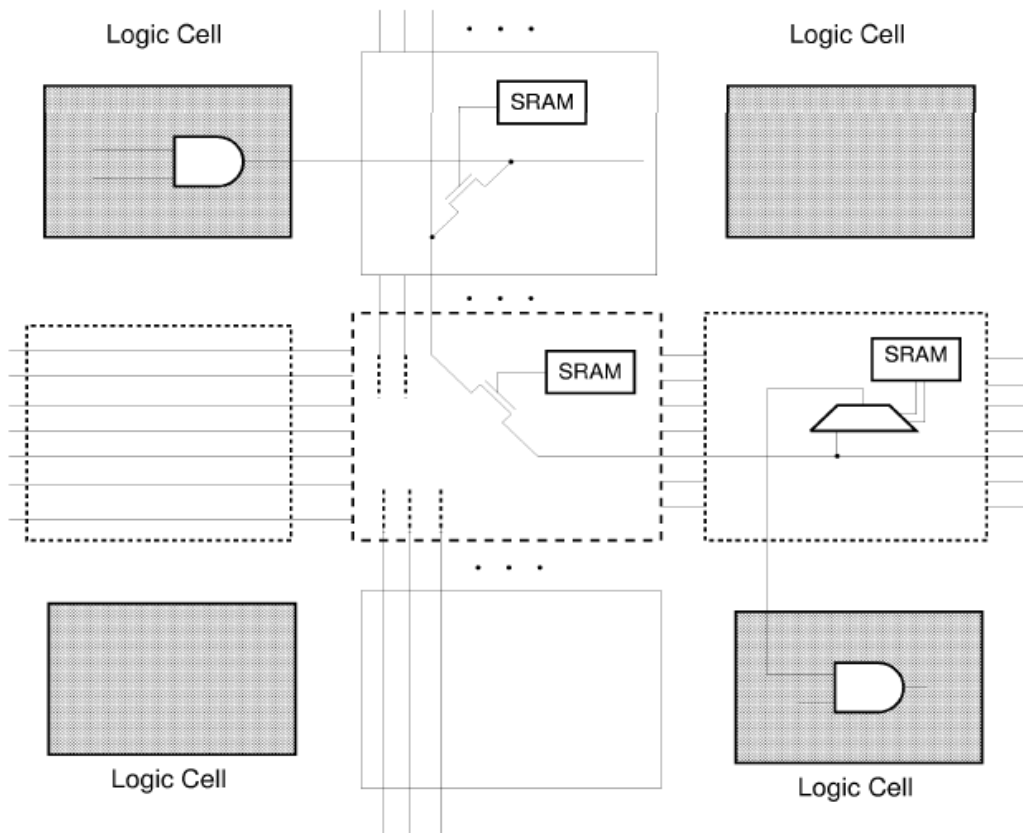


Figura A.24.5 Chaves programáveis controladas por SRAM

O outro tipo de chave programável usado nos FPGAs é o antifusível. Antifusíveis são originalmente circuitos abertos e tornam-se baixa resistência apenas quando programados, daí o nome anti. Antifusíveis são adequados para FPGAs porque eles podem ser construídos usando tecnologia CMOS modificada. Como um exemplo, a estrutura anti-fusível do Actel, conhecida como PLICE, é mostrada na Figura A.24.6. A figura mostra que o anti-fusível é posicionado entre dois fios de interconexão e fisicamente consiste em três camadas superpostas: a camada superior e a inferior são condutores, e a camada do meio é um isolador. Quando não programadas, o isolador isola a camada superior da camada inferior, mas quando programadas, o isolador muda para se tornar um caminho de baixa resistência. PLICE usa Poly-Si (silício policristalino) e difusão n+ como condutores e óxido como isolador, mas outros antifusíveis dependem de metal para condutores, com silício amorfo como camada isoladora.

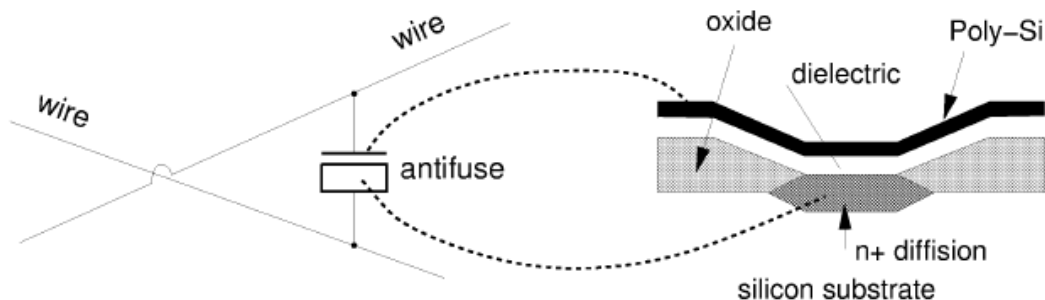


Figura A.24.6 Estrutura antifusível Atmel

A Tabela A.24.1 lista as características mais importantes da programação de tecnologias discutida nesta seção. A coluna mais à esquerda da tabela indica se as chaves programáveis são programáveis uma única vez (one-time programmable-OTP) ou podem ser re-programáveis (RP). A próxima coluna lista se as chaves são voláteis, e a última coluna a tecnologia utilizada.

Tabela A.24.1

Name	Re-programmable	Volatile	Technology
Fuse	no	no	Bipolar
EPROM	yes out of circuit	no	UVC MOS
EEPROM	yes in circuit	no	EECMOS
SRAM	yes in circuit	yes	CMOS
Antifuse	no	no	CMOS+

1.4- Projeto auxiliado por computador (CAD) para FPDs

Quando se projeta circuitos para implementar nos FPDs, é essencial empregar programas CAD. As ferramentas deste software são discutidas rapidamente nesta seção para oferecer uma visão geral do processo de projeto envolvido.

As ferramentas de CAD são importantes não apenas para dispositivos complexos como CPLDs e FPGAs, mas também para SPLDs. Um sistema de CAD para SPLDs iria incluir software para as seguintes tarefas: Entrada inicial do projeto, otimização lógica, “fitting” do dispositivo, simulação e configuração. O fluxo deste projeto é ilustrado na Figura A.24.7, que também indica como alguns estágios alimentam os outros. A entrada do projeto pode ser feita ou criando um esquema de diagrama com uma ferramenta gráfico CAD, ou utilizando um sistema baseado em texto para descrever o projeto em uma descrição de linguagem de hardware (VHDL) como uma linguagem simples, ou com uma mistura de métodos. Já que a entrada lógica não é usualmente uma forma

otimizada, algoritmos, são empregados para otimizar os circuitos, depois dos quais algoritmos adicionais analisam as equações lógicas resultantes e “encaixam-nas” no SPLD. A Simulação é usada para verificar se as operações estão corretas, e o usuário retornaria para a fase de inicial para consertar erros. Quando o projeto é simulado corretamente ele pode ser carregado em uma unidade de programação e usado para configurar um SPLD. Um último detalhe sobre a Figura A.24.7 é que enquanto a etapa original de entrada do projeto é desempenhada manualmente pelo projetista, todas as outras etapas são efetuadas automaticamente pela maioria dos sistemas CAD.

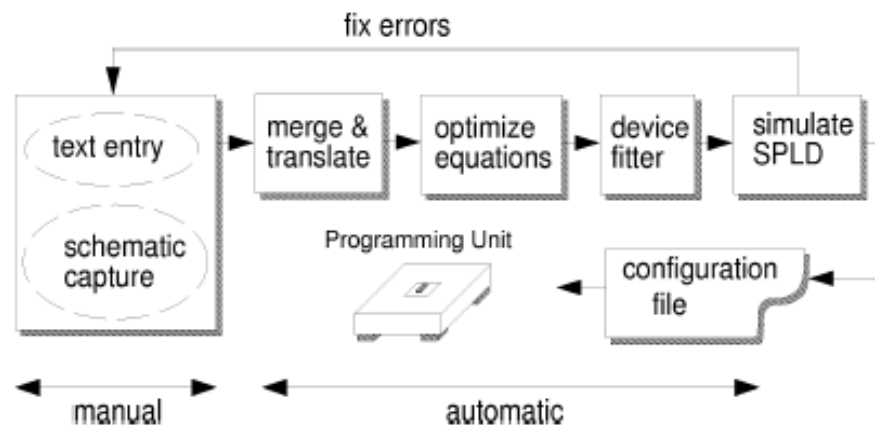


Figura A.24.7 Fluxo de projeto em CAD para SPLDs

As etapas envolvidas na implementação de circuitos nas CPLDs são similares às aquelas para os SPLDs, mas as ferramentas são mais sofisticadas. Porque os dispositivos são complexos e podem acomodar grandes projetos, é mais comum usar uma mistura de métodos de projeto para diferentes módulos de um circuito completo. Por exemplo, alguns módulos podem ser projetados com uma pequena linguagem de descrição de hardware como ABEL, outras projetam usando uma ferramenta de captura esquemática simbólicas, e ainda outras descrevem através de uma linguagem completa como VHDL. Ainda, para CPLDs o projeto

de “fitting” pode requerer etapas similares às aquelas descritas abaixo para FPGAs, dependendo de quão sofisticado é o CPLD. O software necessário para essas tarefas é suprido tanto pelo fabricante do CPLD manufacturer ou de terceiros em parceria com o fabricante.

O processo do projeto para FPGAs é similar ao para CPLDs, mas ferramentas adicionais são necessárias para suportar a maior complexidade dos chips. A principal diferença está na etapa “device fitter” que vem após a otimização lógica e antes da simulação, onde FPGAs requer ao menos três etapas: um mapeador tecnológico para mapear as portas lógicas básicas em blocos lógicos da FPGA’s, alocação (“placement”) para escolher quais blocos lógicos específicos usar na FPGA, e um roteador to alocar os segmentos de fios no FPGA para interconectar os blocos lógicos. Com essa complexidade adicional, as ferramentas do CAD podem requerer um período relativamente longo (frequentemente mais do que uma hora ou mesmo várias horas) para completar suas tarefas.

2- Sumários dos FPDs disponíveis comercialmente

Esta seção oferece muitos exemplos de produtos comerciais FPD. SPLDs são os primeiros discutidos brevemente, e então detalhes são dados para todos os mais importantes CPLDs. O aluno que estiver interessado em mais detalhes sobre FPGAs e outros produtos comerciais é encorajado a contatar os sites dos fabricantes*.

* A maior parte dos fabricantes de FPD incluem agora nos seus datas sheets na world wide web, e pode ser localizados no URL “<http://www.nomedaempresa.com>”

2.1- SPLDs disponíveis comercialmente

Nas últimas duas décadas, SPLDs são dispositivos mais importantes que surgiram na área de hardware digital. SPLDs representam a mais alta velocidade de performance do FPDs disponível, e não são caras.

Dois dos mais populares SPLDs são os PALs produzidos pelo Advanced Micro Devices (AMD) conhecido como o 16R8 e 22V10. Ambos os dispositivos são padrão industriais e são amplamente fornecidos por várias empresas. O nome “16R8” significa que o PAL tem um máximo de 16 entradas (existem 8 entradas dedicadas e 8 entrada/saída) e o máximo de 8 saída output. O “R” se refere ao tipo de saída oferecida pelo PAL e significa que cada saída é “registrada” por um D flip-flop. Similarmente, o “22V10” tem um máximo de 22 entradas e 10 saídas. Aqui, o “V” significa que cada saída é “versátil” e podem ser configuradas de várias formas, algumas configurações registradas e outras não.

Outra amplamente usada é o SPLD da Altera Classic EP610. Este dispositivo é similar ao PALs em complexidade, mas ele oferece mais flexibilidade no modo que saídas são produzidos e tem maior nível de portas AND- e OR. No EP610, as saídas podem ser registradas e os flip-flops são configuráveis como qualquer dos tipos D, T, JK, ou SR.

Além do SPLDs mencionados acima muitos outros produtos estão disponíveis por várias empresas. Todos SPLDs possuem características comum, como algum tipo de nível lógico (AND, OR, NOR, ou NAND), mas cada produto específico oferece características únicas que podem ser particularmente atrativas para determinadas aplicações. Uma lista parcial de empresas que oferecem SPLDs inclui: AMD, Altera, ICT, Lattice, Cypress, e

Philips-Signetic. Já que alguns desses SPLDs tem complexidade próxima à encontrada em CPLDs, o texto agora se direcionará para dispositivos mais sofisticados.

2.2- CPLDs disponíveis comercialmente

Como dito antes, CPLDs consiste em múltiplos SPLD como bloco em um único chip. Entretanto, os produtos CPLD são muito mais sofisticados do que os SPLDs, mesmo no nível de seus blocos básicos SPLD. Nesta seção, CPLDs são discutidos detalhadamente, primeiro pesquisando os produtos comerciais disponíveis e então discutindo os tipos de aplicação para os quais os CPLDs são mais adequados. Detalhes suficientes são apresentados para permitir uma comparação entre os vários tipos de produtos em competição, com mais atenção para os dispositivos que nós acreditamos ter uso mais amplo do que outros.

2.2.1- Altera CPLDs

Altera desenvolveu três famílias de chips que se encaixam dentro da categoria CPLD: MAX 5000, MAX 7000, e MAX 9000. Aqui, a discussão se focará nas séries de MAX 7000, porque ela é amplamente usada e oferece o estado da arte da capacidade lógica e velocidade no desempenho. MAX 5000 representa uma tecnologia mais antiga que oferece uma solução de baixo custo, e o MAX 9000 é similar ao MAX 7000, exceto pelo MAX 9000 oferecer maior capacidade lógica (a mais alta da indústria para os CPLDs).

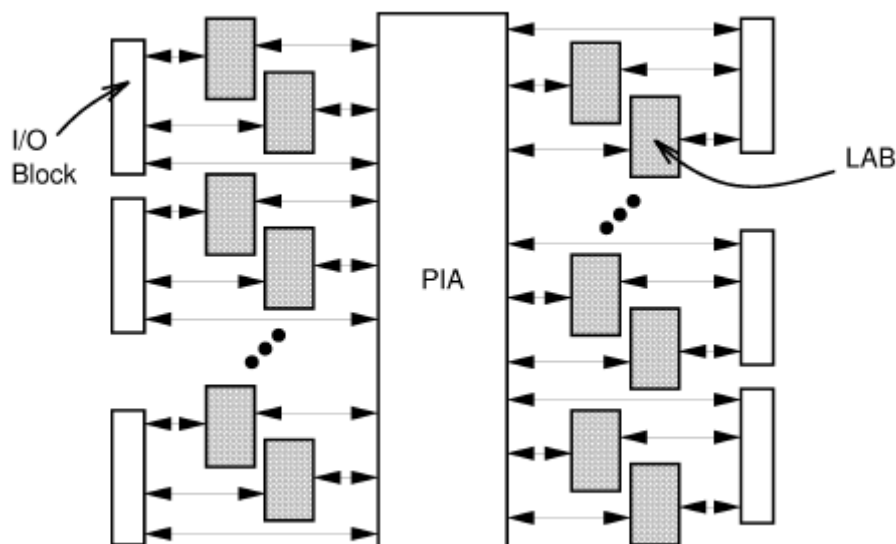


Figura A.24.8 Altera Série MAX 7000

A arquitetura geral das séries do Altera MAX 7000 é mostrada na Figura A.24.8. Ela compreende de array de blocos chamados Logic Array Blocks (LABs), e fios de interconexão chamados de Programmable Interconnect Array (PIA). A PIA é capaz de conectar qualquer entrada do LAB ou saída a qualquer outro LAB. Além disso, as entrada e saída do chip se conectam diretamente ao PIA e aos LAB's. O LAB pode ser pensado como uma complexa estrutura SPLD, e então todo o chip pode ser considerado um conjunto de SPLDs. Os dispositivos MAX 7000 estão disponíveis tanto na tecnologia EPROM quanto na EEPROM. Até recentemente, mesmo com EEPROM, os chips MAX 7000 podiam ser programáveis apenas fora de circuito em uma unidade de programação específica; porém, em 1996 Altera liberou as séries 7000S, que são re-programáveis dentro do circuito.

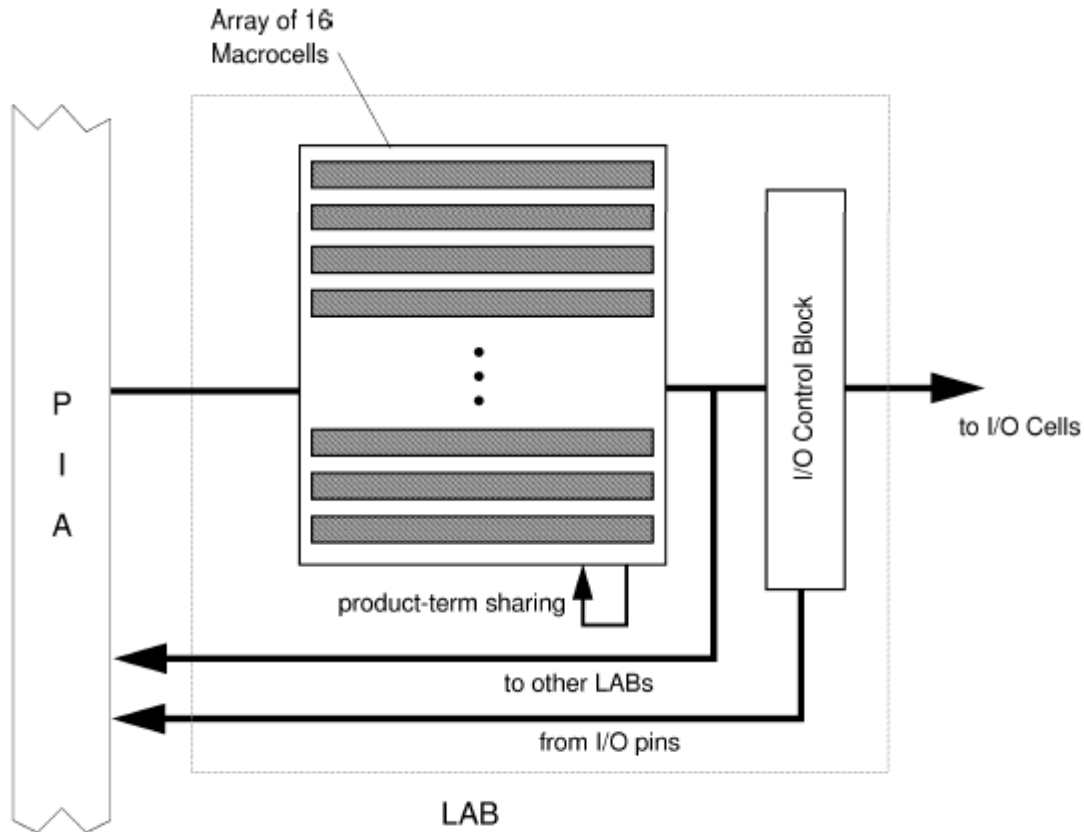


Figura A.24.9 Array de blocos lógico (LAB) Altera MAX 7000

A estrutura de um LAB é mostrada na figura A.24.9. Cada LAB consiste em dois conjuntos de oito macrocélulas (mostradas na Figura A.24.10), onde uma macrocélula compreende um conjunto de produto termos programáveis (parte de um nível AND) que alimenta uma porta OR e um flip-flop. Os flip-flops podem ser configurados como tipo D, JK, T, SR ou podem ser transparentes. Como mostrado na Figura A.24.10, o número de entrada para a porta OR em uma macrocélula é variável; A porta OR pode ser alimentada por qualquer ou todos os termos de produto dentro da macrocélula, e podem ter até 15 termos de produto extra da macrocélula no mesmo LAB; A flexibilidade do termo produto faz com que as séries MAX 7000 sejam mais eficientes em termos da área de chip porque funções lógicas típicas não precisam de mais de cinco termos produtos, e a arquitetura suporta funções extensas quando elas são necessárias. É

interessante notar que tamanhos variados de portas OR deste tipo não estão disponíveis nos SPLDs básicos (ver Figura A.24.1). Características similares deste tipo são encontradas em outras arquiteturas de CPLD discutidas rapidamente.

Além da Altera, muitas outras empresas produzem dispositivos que podem ser categorizados como CPLDs. Por exemplo, a família Mach do fabricante AMD, A Lattice tem a série (i)pLSI, A Xilinx produz uma série de CPLD que eles chamam de XC7000 (não relacionada às séries Altera MAX 7000) e tem anunciado uma nova família chamada XC9500, A ICT tem o PEEL array.

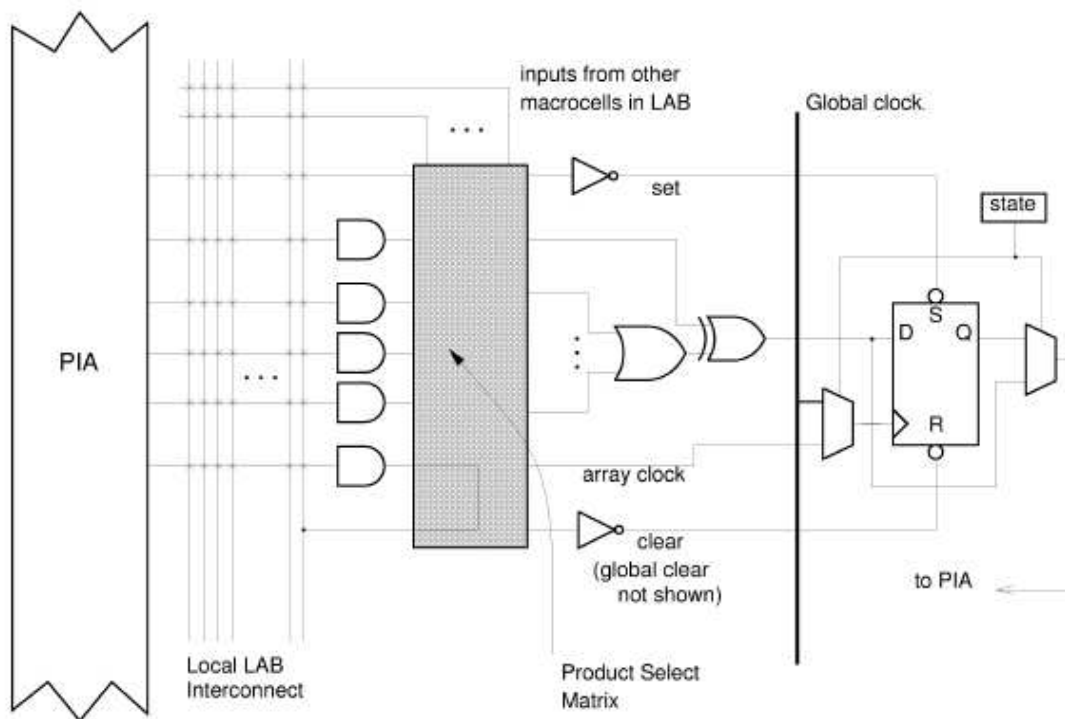


Figura A.24.10 Macro célula MAX 7000

2.2.2- CPLD's da Advanced Micro Devices (AMD)

A AMD oferece uma família CPLD com cinco sub-família chamadas Mach 1 a Mach 5. Cada dispositivo Mach compreende múltiplos blocos PAL: Mach 1 e 2 consistem em 22V16 PAL's otimizados, e Mach 3 e 4 compreende muitos 34V16 PAL's otimizados, e Mach 5 é similar mas oferece velocidade de desempenho melhorada. Todos os chips Mach são baseados na tecnologia EEPROM, e juntos, as 05 sub-familias oferecem a grande variedade de seleção, da pequena, a cara para chip no estado da arte. Esta discussão focará no Mach 4 porque ele representa as partes atuais disponíveis mais avançadas da família Mach.

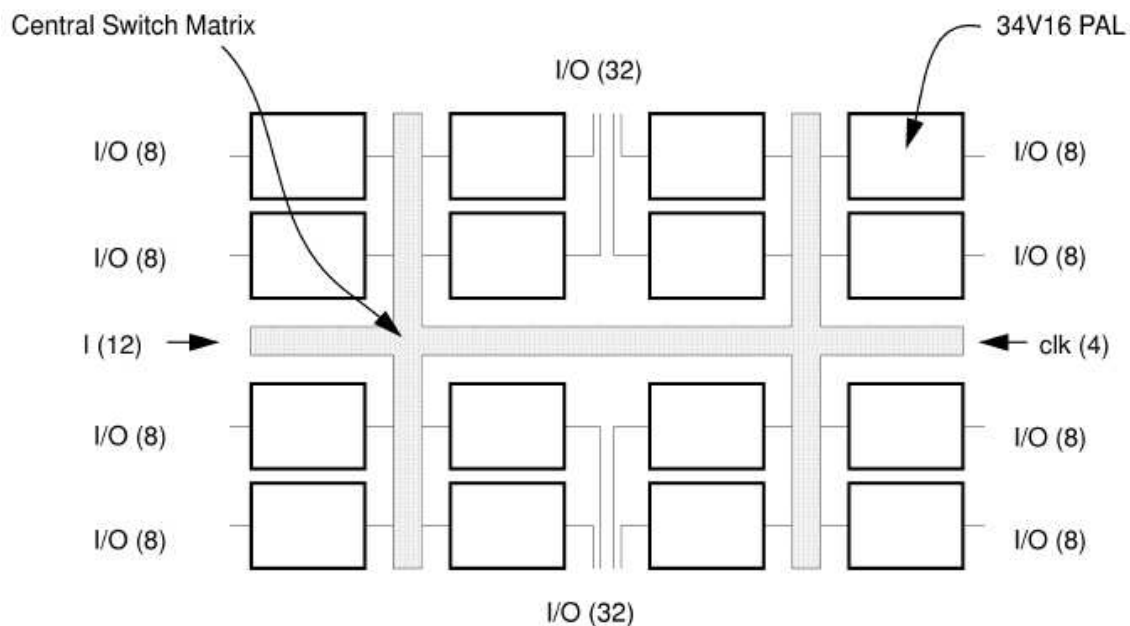


Figura A.24.11 Estrutura de CPLD's Mach 4 da AMD

A Figura A.24.11 retrata um chip Mach 4, mostrando o múltiplo bloco PAL 34V16, e o inter conectador, chamado Central Switch Matrix, para conectar os blocos juntos. A faixa de tamanho dos chips é de 6 a 16 blocos de PAL, o que corresponde

aproximadamente de 2000 a 5000 Gates equivalentes e são programáveis “in-circuit”. Todas as conexões no Mach 4 entre um bloco PAL e outro (mesmo de um bloco PAL a si mesmo) são roteadas através da “Central Switch Matrix”. O dispositivo pode, assim, ser visto, não apenas como uma coleção de PAL’s, mas também como um único grande dispositivo. Uma vez que todas as conexões possuem o mesmo caminho, atrasos dos circuitos implementados no Mach 4 são previsíveis.

A Mach 4 PAL-like block é retratado na Figura A.24.12. Ele tem 16 saídas e um total de 34 entradas (16 dos quais são saídas realimentadas), então ele corresponde ao 34V16 PAL. Entretanto, existem duas diferenças-chaves entre este bloco e o PAL normal: 1. Existe um alocador de termo produto entre o nível AND e as macrocélulas (as macrocélulas compreende a porta OR, a porta EX-OR e o flip-flop), e 2. Existe uma saída “switch matrix” entre a porta OR e os pinos de I/O. Estas duas características tornam o chip Mach 4 mais fácil de usar, porque eles “desacopla” as seções dos blocos PAL. Mais especificamente, o alocador de produto termo distribui e divide os termos de produto do nível AND para qualquer porta OR que os requeiram. Isto é muito mais flexível do que as porta OR de tamanho fixo em PAL’s regulares. A saída “switch matrix” torna possível para qualquer saída da macrocélula (porta OR ou flip-flop) ser alimentada por qualquer um dos pinos de I/O conectados ao bloco do PAL. Novamente, a flexibilidade é melhorada sobre a PAL, em que cada macrocélula pode alimentar apenas um pino de I/O específico. A combinação do Mach 4 de uma lógica programável “in-system” e uma alta flexibilidade garantem fáceis mudanças no projeto de hardware.

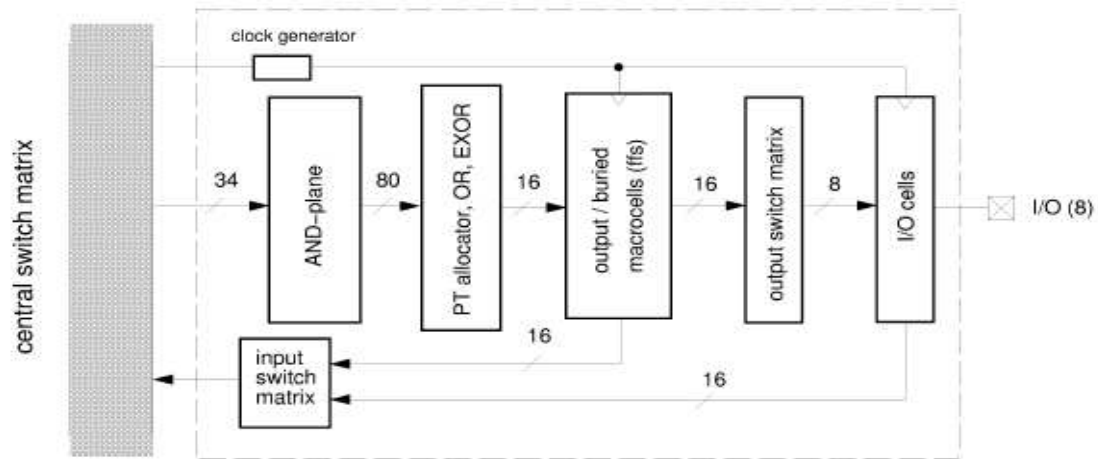


Figura A.24.12 Blocos PAL (34V16) Mach 4 da AMD

2.2.3- CPLD's da Lattice

A Lattice oferece a complete conjunto de CPLDs, com duas linhas principais de produto: o Lattice pLSI consiste em três famílias de EEPROM CPLD's, e o ispLSI são os mesmos dispositivos que os do pLSI, exceto que eles são programáveis "in-system". Tanto para os produtos pLSI e para o ispLSI, A Lattice oferece três famílias que têm diferentes capacidade lógica e velocidade de desempenho.

A geração mais nova de CPLD's da Lattice são as séries pLSI e ispLSI 1000. Cada chip consiste de uma coleção de blocos como SPLD, e um roteamento global para conectar os blocos juntos. A capacidade lógica varia de 1200 a 4000 portas ou gates. O atraso pino-a-pino é de 10ns. A Lattice também oferece uma família CPLD chamada de séries 2000, que são relativamente pequenos CPLD's, entre 600 a 2000 gates que oferecem uma maior quantidade de macrocélulas por pino I/O e mais alta velocidade de desempenho que a série 1000. O estado da arte da série 2000 apresenta um atraso 5.5 ns pino-a-pino.

A série 3000 da Lattice representa o seu maior CPLDs, com até 5000 gates. Os atrasos pino-a-pino para este dispositivo são cerca de 10-15ns. Em termos dos outros chips até agora discutidos, a funcionalidade da série 3000 é semelhante ao AMD's Mach 4. A série 3000 oferece alguns avanços sobre as outras partes de Lattice para suportar os estilos de projetos mais recente, como "JTAG boundary scan".

A estrutura geral do dispositivo Lattice pLSI ou ispLSI é indicada na Figura A.24.13. Ao redor do lado de fora do chip estão aos pinos bi-directional de I/O's, que estão conectadas tanto ao "Generic Logic Blocks" (GLBs) e ao "Global Routing Pool" (GRP). Os GLBs são pequenos bloco como PAL que consistem em um nível AND, um alocador de termo de produto, e as macrocélulas. O GRP é um conjunto de fios que se estende por todo o chip e são disponíveis para conectar as entradas e saídas dos GLB juntos. Toda a interconexão passa através do GRP, então a duração entre os níveis de lógica nos chips da Lattice são bem previsíveis, mais do que é para os dispositivos AMD Mach.

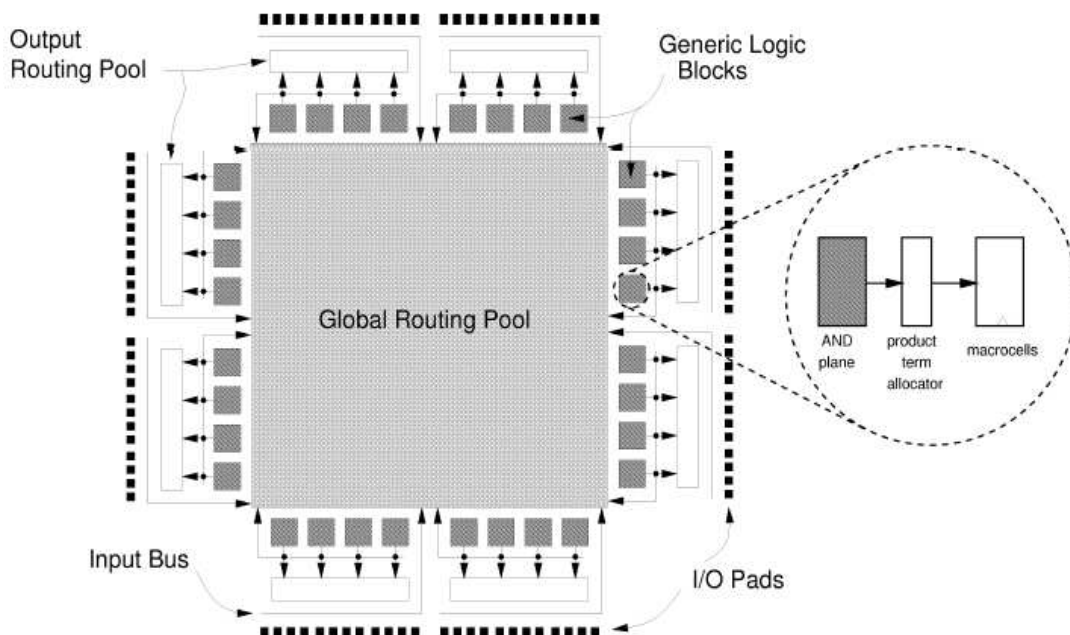


Figura A.24.13 Arquitetura de um (i)PLSI da Lattice

2.2.4 – Os CPLD’s Cypress FLASH370

A Cypress recentemente desenvolveu uma família de produtos CPLD que são semelhantes aos dispositivos AMD e aos Lattice em muitas formas. Os CPLDs Cypress, chamados de FLASH370 são baseados na tecnologia FLASH EEPROM e oferece velocidade de desempenho de 8.5 a 15 ns de atraso pino a pino. As partes do FLASH370 não são programáveis dentro do sistema. Por reconhecer que chips maiores precisam de mais I/Os, FLASH370 oferece mais I/O’s do que os produtos competidores apresentam um relacionamento linear entre o número de macrocélulas e o número de pinos I/O bi-directional. A menor parte tem 32 macrocélulas e 32 I/O’s e a maior 256 macrocélulas e 256 I/O’s.

A figura A.24.14 mostra que a FLASH370 tem uma arquitetura CPLD típica com múltiplos blocos como PAL e uma “Programmable Interconnect Matrix” (PIM) para conectá-los. Dentro de cada bloco PAL existe um nível AND que alimenta o alocador de termo de produto diretamente de 0 a 16 termos de produto para cada um das 32 portas OR. Note que um caminho de realimentação das saídas das macrocélulas para a PIN com 32 fios.

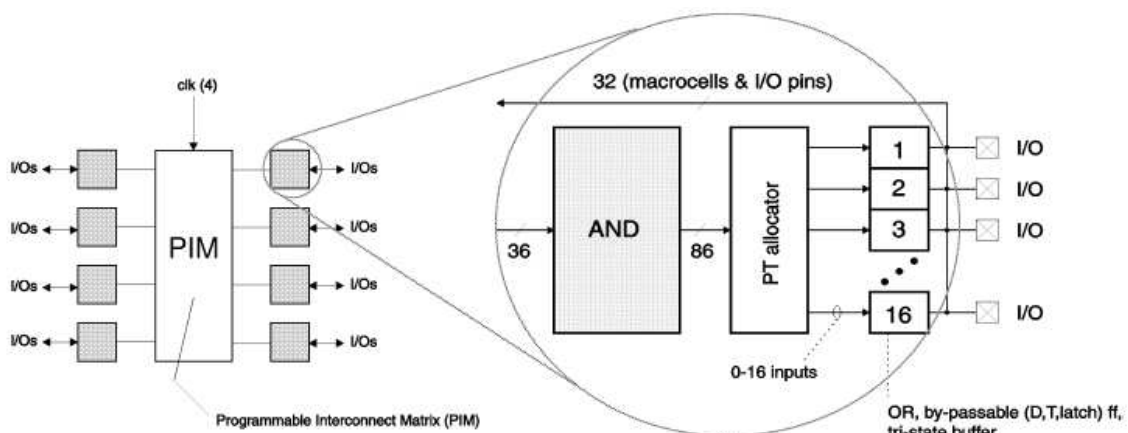


Figura A.24.14 Arquitetura das CPLD’s FLASHH370 da Cypress

2.2.5- Xilinx XC7000 CPLDs

Apesar do Xilinx ser mais um fabricante de FPGAs, eles também oferecem uma seleção de CPLDs, chamada XC7000, e anunciaram uma nova família CPLD chamada XC9500. Há duas famílias principais na família XC7000: a série 7200, originalmente comercializada pelo Plus Logic como Hiper EPLDs, e a série 7300, desenvolvida pelo Xilinx. A série 7200 são dispositivos moderadamente pequenos, com cerca de 600 a 1500 gates de capacidade, e eles oferecem velocidade de desempenho de cerca de 25 ns de atraso pino a pino. Cada chip consiste em uma coleção de blocos como SPLD cada um tendo 9 macrocélulas. As macrocélulas da série 7200 são diferentes daquelas dos outros CPLD's em que cada macrocélula inclui duas portas OR e cada porta OR é entrada para uma Unidade lógica Aritmética (Arithmetic Logic Unit –ALU). A ALU pode produzir qualquer função de suas duas entradas, e a sua saída alimenta um flip-flop configurável. A série 7300 do Xilinx é uma versão melhorada da 7200, oferecendo maior capacidade (até 3000 gates quando toda a família está disponível) e maior velocidade de desempenho. Finalmente, o novo XC9500, quando disponível, oferecerá facilidade de programação dentro do circuito com 5 ns de atraso pino a pino e até 6200 gates lógicos.

2.2.6- Altera FLASHlogic CPLDs

O FLASHlogic da Altera, anteriormente conhecido como Intel's FLEXlogic, tendo como característica programação dentro do sistema e oferece on-chip blocos SRAM, uma característica única entre os produtos CPLD. A parte superior da Figura A.24.15 ilustra a arquitetura do dispositivo FLASHlogic; ele compreende uma coleção de blocos como PAL, chamado "Configurable

Function Blocks” (CFBs), onde cada um representa um 24V10 PAL otimizado.

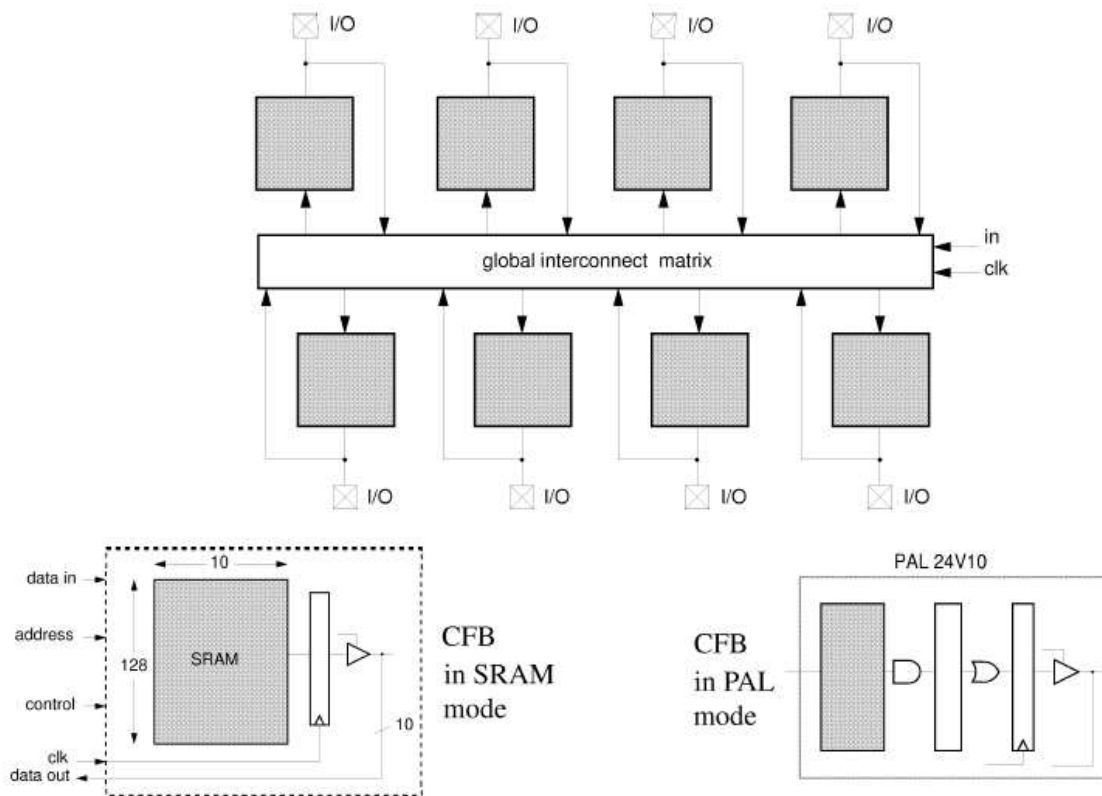


Figura A.24.15 CPLD FLASHlogic Altera

Em termos de estrutura básica, o FLASHlogic é semelhante aos outros produtos já discutidos. Porém, eles têm uma característica única que os destaca entre todos os outros CPLD's: cada bloco PAL, ao invés de ser usado para lógica AND-OR, pode ser configurado como um bloco de Static RAM de 10 ns. Este conceito é ilustrado na parte mais baixa da Figura A.24.15, que mostra um CFB sendo usado como um PAL e outro configurado como um SRAM. Na configuração do SRAM, o bloco PAL se torna uma memória de 128 palavras por 10 bit de escrita e leitura. As entradas que normalmente alimentariam o nível AND no PAL nesse caso se tornam linhas de endereço, dados de entradas, e

controlam sinais para a memória. Note que os flip-flops e os Buffer tri-state ainda estão disponíveis quando o PAL block é configurado como memória.

No dispositivo FLASHlogic, os bits de configuração dos nível AND-OR são células SRAM que são “copiadas” pelas células EPROM ou EEPROM. As células SRAM são carregadas com uma cópia da memória não volátil EPROM ou EEPROM quando a força é aplicada, mas são as células SRAM que controlam a configuração do chip. É possível re-configurar os chips dentro do sistema por fazendo “download” da nova informação para dentro da célula SRAM. O conteúdo das células SRAM pode ser escrito de volta na EEPROM, para que uma reprogramação não volátil (in-circuit) esteja disponível.

2.2.7- ICT PEEL Arrays

Os Arrays ICT PEEL são basicamente grandes PLA's que incluem macrocélulas lógicas com flip-flops e realimentações para o nível lógico. Esta estrutura é ilustrada na Figura A.24.16, que mostra um nível AND programável que alimenta um nível OR programável. As saídas do nível OR são divididas em grupos de quatro, e cada grupo pode ser entrada de qualquer célula lógica. As células lógicas fornecem registradores para os termos soma e podem realimentar os termos soma para o nível AND. Além disso, as células lógicas conectam os termos soma aos pinos I/O.

Por terem uma estrutura como um PLA, a capacidade lógica do arrays PEEL é de alguma forma difícil de se medir comparada aos CPLD's discutidos até então; uma estimativa é de 1600 a 2800 gates.

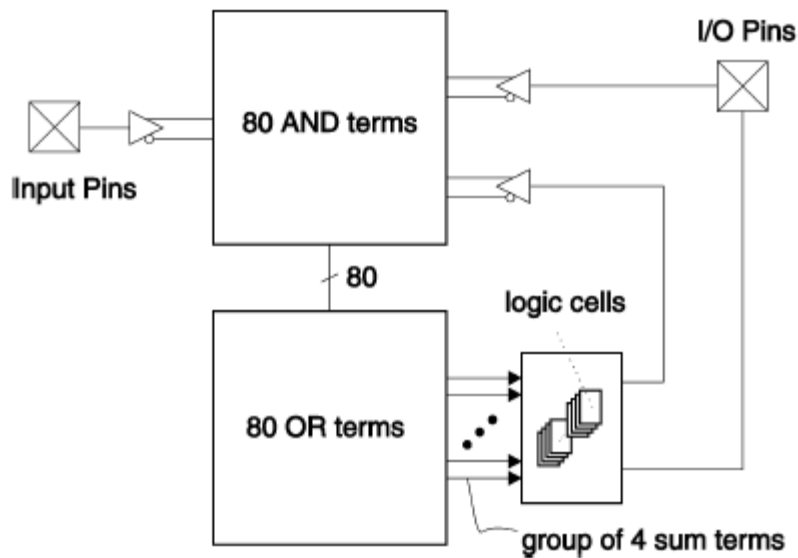


Figura A.24.16 Arquitetura de Array PEEL da ICT

Arrays PEEL oferecem relativamente poucos pinos de I/O, com a maior parte sendo oferecida em um pacote de 40 pinos. Já que eles não são compreendidos de blocos SPLD, Arrays PEEL não se encaixam bem na categoria de CPLD, entretanto eles são incluídos aqui porque representam um exemplo de PLA básico, antes que dispositivos baseados em PAL, e eles oferecem uma capacidade maior do que a de um típico SPLD.

A célula lógica no Arrays PEEL, ilustrada na Figura A.24.17, inclui um flip-flop configurável como D, T, ou JK, e dois multiplexadores. Cada multiplexadores produz uma saída para a célula lógica e oferece ou uma saída registrada ou uma saída combinacional. Uma das saídas da célula lógica pode se conectar ao pino I/O e a outra saída está embutida internamente. Uma das características interessantes das células lógicas é que o clock dos flip-flop, assim como os pinos de preset e clear são função lógicas completas de soma de produto. Isto o diferencia de todos os outros CPLDs, que simplesmente oferecem termos de produtos para esses

sinais e é atrativo para algumas aplicações que requerem grande quantidade de termos de soma.

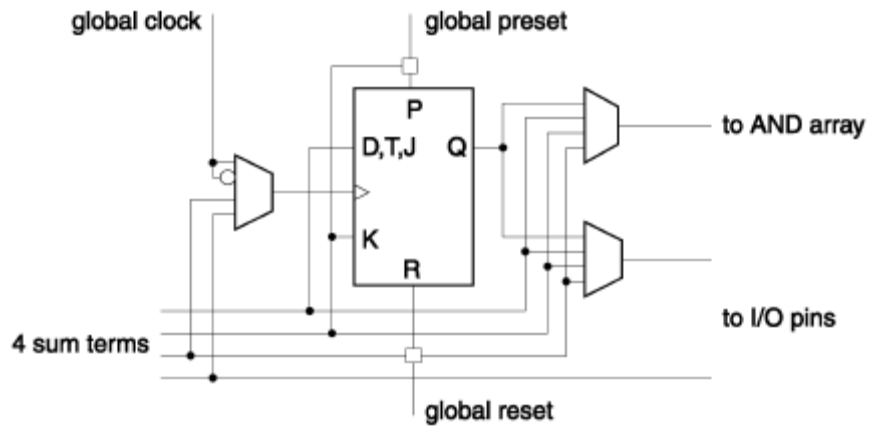


Figura A.24.17 Estrutura de um Array PEEL da ICT